

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月19日
Date of Application:

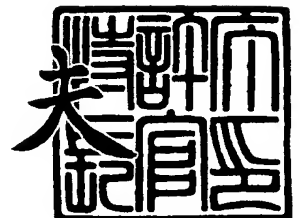
出願番号 特願2003-140079
Application Number:
[ST. 10/C]: [JP 2003-140079]

出願人 三菱電機株式会社
Applicant(s):

2003年12月16日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3104318

【書類名】 特許願

【整理番号】 544657JP01

【提出日】 平成15年 5月19日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 飛田 洋一

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

 【識別番号】 100096781

 【弁理士】

 【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧発生回路

【特許請求の範囲】

【請求項 1】 所定の電圧が印加される基準電圧ノードと第 1 の内部ノードとの間に接続されかつその制御電極が第 2 の内部ノードに接続される第 1 導電型の第 1 のトランジスタ、

前記基準電圧ノードと前記第 2 の内部ノードとの間に接続されかつその制御電極が前記第 1 の内部ノードに接続される第 1 導電型の第 2 のトランジスタ、

プリチャージ用の第 1 の制御信号を受ける第 1 の入力ノードと前記第 1 の内部ノードとの間に接続される第 1 の容量素子、

電荷蓄積用の第 2 の制御信号を受ける第 2 の入力ノードと前記第 2 の内部ノードとの間に接続される第 2 の容量素子、

前記第 2 の内部ノードと出力ノードとの間に接続されかつその制御電極が第 3 の内部ノードに接続される第 2 導電型の第 3 のトランジスタ、

前記第 3 の内部ノードと電荷転送用の第 3 の制御信号を受ける第 3 の入力ノードとの間に接続される第 3 の容量素子、および

前記出力ノードと前記第 3 の内部ノードとの間に接続されかつその制御電極が前記第 2 の内部ノードに接続される第 2 導電型の第 4 のトランジスタを備える、電圧発生回路。

【請求項 2】 前記第 2 の制御信号は、前記第 1 の制御信号が第 1 の論理レベルから第 2 の論理レベルへ移行した後所定時間経過後に第 1 の論理レベルとなりかつ前記第 1 の制御信号が前記第 2 の論理レベルから前記第 1 の論理レベルへ移行する前に前記第 1 の論理レベルから前記第 2 の論理レベルへと移行し、

前記第 3 の制御信号は、前記第 2 の制御信号が前記第 1 の論理レベルへ移行した後所定時間経過後に前記第 1 の論理レベルから前記第 2 の論理レベルへと移行しかつ前記第 2 の制御信号の前記第 1 の論理レベルから前記第 2 の論理レベルへの移行前に前記第 2 の論理レベルから前記第 1 の論理レベルに移行する、請求項 1 記載の電圧発生回路。

【請求項 3】 前記出力ノードと最終出力ノードとの間に接続され前記最終

出力ノードに最終電圧を発生する少なくとも 1 段の電圧駆動段をさらに備え、

前記電圧駆動段は、

該電圧駆動段の入力ノードと該電圧駆動段の出力ノードとの間に接続されかつその制御電極が第 4 の内部ノードに接続される第 2 導電型の第 5 のトランジスタと、

前記電圧駆動段の入力ノードに結合される第 4 の容量素子とを備え、前記電圧駆動段が複数段配置されるとき、該接続系列において前記第 4 の容量素子には、前記第 1 および第 2 の制御信号が交互に与えられ、

前記第 4 の内部ノードと前記電圧駆動段の出力ノードとの間に接続されかつその制御電極が前記電圧駆動段入力ノードに接続される第 2 導電型の第 6 のトランジスタと、

前記第 4 の内部ノードに結合される第 5 の容量素子を備え、前記第 5 の容量素子には、前記電圧駆動段が複数段配列されるとき、該接続系列において第 4 の制御信号と前記第 3 の制御信号とが交互に与えられる、請求項 1 記載の電圧発生回路。

【請求項 4】 前記第 2 の制御信号は、前記第 1 の制御信号が第 1 の論理レベルから第 2 の論理レベルへ移行した後所定時間経過後に第 1 の論理レベルとなりかつ前記第 1 の制御信号が前記第 2 の論理レベルから前記第 1 の論理レベルへ移行する前に前記第 1 の論理レベルから前記第 2 の論理レベルへと移行し、

前記第 3 の制御信号は、前記第 2 の制御信号が前記第 1 の論理レベルへ移行した後所定時間経過後に前記第 1 の論理レベルから前記第 2 の論理レベルへと移行しかつ前記第 2 の制御信号の前記第 1 の論理レベルから前記第 2 の論理レベルへの移行前に前記第 2 の論理レベルから前記第 1 の論理レベルに移行し、

前記第 4 の制御信号は、前記第 1 の制御信号が第 1 の論理レベルにありかつ前記第 2 の制御信号が第 2 の論理レベルにあるとき前記第 2 の制御信号の前記第 2 の論理レベルへの移行後所定時間経過後に前記第 1 の制御信号が前記第 2 の論理レベルへ移行する前に所定時間の間前記第 2 の論理レベルとなる、請求項 3 記載の電圧発生回路。

【請求項 5】 前記少なくとも 1 段の電圧駆動段は、複数の縦続接続される

電圧駆動段を含む、請求項 3 記載の電圧発生回路。

【請求項 6】 前記第 1 および第 2 のトランジスタは、それぞれ、N チャネル絶縁ゲート型電界効果トランジスタである、請求項 1 記載の電圧発生回路。

【請求項 7】 前記第 1 および第 2 のトランジスタは、N チャネル絶縁ゲート型電界効果トランジスタであり、前記第 1 および第 2 の論理レベルは、それぞれ、論理ローレベルおよび論理ハイレベルである、請求項 2 記載の電圧発生回路。

【請求項 8】 前記第 1 および第 2 のトランジスタは、それぞれ、P チャネル絶縁ゲート型電界効果トランジスタである、請求項 1 記載の電圧発生回路。

【請求項 9】 前記第 1 および第 2 のトランジスタは、それぞれ、P チャネル絶縁ゲート型電界効果トランジスタであり、

前記第 1 および第 2 の論理レベルは、それぞれ、論理ハイレベルおよび論理ローレベルである、請求項 2 記載の電圧発生回路。

【請求項 10】 前記出力ノードから内部回路へ与えられる内部電圧が発生され、

前記電圧発生回路は、さらに、前記出力ノードに接続される負荷容量をさらに備える、請求項 1 記載の電圧発生回路。

【請求項 11】 前記最終出力ノードに接続される負荷容量をさらに備える、請求項 3 記載の電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、所望の電圧レベルの内部電圧を発生する電圧発生回路に関し、特に、容量素子のチャージポンプ動作を利用して効率的に内部電圧を発生する電圧発生回路の構成に関する。

【0002】

【従来の技術】

半導体装置においては、種々の電圧レベルの内部電圧が用いられることが多い。たとえば、DRAM（ダイナミック・ランダム・アクセス・メモリ）において

は、メモリセルアレイの基板領域を一定電圧にバイアスするために負電圧が用いられ、また、選択ワード線へは電源電圧よりも高い正の高電圧が伝達される。また、不揮発性メモリにおいても、データの書換のためには負電圧および高電圧が用いられる。

【0003】

このような電源電圧とレベルの異なる電圧を外部から供給する場合、システム規模が増大し、またシステム全体の消費電力も増大する。また、半導体装置においても、そのような電圧を受けるための専用のピン端子が必要とされ、サイズが増大する。

【0004】

このような観点から、必要なレベルの電圧を半導体装置内部で発生することが一般に行なわれる。このような内部電圧を発生する回路の一例は、たとえば特許文献1（特開平4-372792号公報）に示されている。

【0005】

この特許文献1に示される内部電圧発生回路は、容量素子のチャージポンプ動作を利用して負電圧を発生する。この特許文献1の内部電圧発生回路の構成においては、充電用容量素子のチャージポンプ動作により電荷を蓄積するノードを、制御用容量素子の容量結合により放電制御トランジスタをオン状態として接地電圧レベルに放電する。この後、電荷蓄積ノードから、充電用容量素子のチャージポンプ動作により電荷を引抜き負電圧レベルに駆動する。電荷蓄積ノードを、電源電圧の振幅で変化させる。この電荷蓄積ノードの負電荷を出力トランジスタを介して出力ノードに供給することにより、 $-V_{CC}$ レベルの負電圧を供給する。ここで $-V_{CC}$ は電源電圧を示す。

【0006】

出力トランジスタのゲートは、電荷蓄積ノードがゲートに接続される出力制御トランジスタにより、接地電圧GNDと $-V_{CC}$ の間で変化する。

【0007】

この特許文献1においては、電荷蓄積ノードを V_{CC} 振幅で変化させることにより、低電源電圧下においても十分な電圧レベルの負電圧を発生することを図る

。

【0008】

【特許文献1】

特開平4-372792号公報

【0009】

【発明が解決しようとする課題】

容量素子のチャージポンプ動作を利用して内部電圧を発生する場合、半導体装置の消費電力の観点から、効率的に、チャージポンプ動作により生成された電荷を出力ノードへ転送して内部電圧を発生することが要求される。

【0010】

上述の特許文献1の構成においては $-V_{CC}$ の振幅で電荷蓄積ノードの電圧レベルを変化させるために、電荷蓄積ノードを放電制御トランジスタにより接地電圧レベルにプリチャージし、その後、充電用容量素子によるチャージポンプ動作により電荷蓄積ノードを $-V_{CC}$ の電圧レベルにまで低下させる。このときに、放電制御トランジスタをオフ状態とするために、第2の制御トランジスタが導通して電荷蓄積ノードを放電制御トランジスタのゲートに接続する第2の制御トランジスタが配置される。この第2の制御トランジスタは、電荷蓄積ノードの電圧が $-V_{th}$ 以下に低下するとオン状態となって放電制御トランジスタのゲートと電荷蓄積ノードとを電氣的に接続する。ここで、 V_{th} は、第2の制御トランジスタのしきい値電圧を示す。

【0011】

しかしながら、この放電制御トランジスタをオン状態とするために、制御信号を受ける容量素子が接続されている。従って、この放電制御トランジスタのゲート電位は、第2の制御トランジスタのオン抵抗と放電制御トランジスタのゲートに存在する容量とにより決定される時定数で変化する。このため、放電制御トランジスタがオフ状態となるまでには、ある時間が必要となる。したがって、この放電制御トランジスタが、電荷蓄積ノードの電圧レベルが $-V_{CC}$ のときにオン状態となる期間があり、電荷蓄積ノードへ接地ノードから電流が流れ、充電用容量素子によるチャージポンプによる電荷引抜動作が阻害され、無駄な電流が消費

される。

【0012】

また、この電荷蓄積ノードを接地電圧レベルにプリチャージする場合、出力トランジスタがオフ状態となっていないと、負電位レベルの出力ノードへ出力トランジスタを介してプリチャージされた電荷が供給され、負電位の電圧レベルが上昇する。この出力トランジスタのオン／オフの制御のために、放電制御トランジスタのオン／オフ制御と同様の構成の出力制御トランジスタが用いられており、したがって、この電荷蓄積ノードの電圧レベルを接地電圧レベルにプリチャージする際、同様、出力トランジスタがオン状態となる期間が存在し、無駄な電流が消費される。

【0013】

上述のように、この特許文献1の構成の場合、容量素子のチャージポンプ動作により生成された電荷が無駄に消費され、所望のレベルの電圧を効率的に低消費電力で発生することができないという問題がある。

【0014】

それゆえ、この発明の目的は、効率的に電荷を利用して所望のレベルの電圧を発生することのできる電圧発生回路を提供することである。

【0015】

【課題を解決するための手段】

この発明に係る電圧発生回路は、所定の電圧が印加される基準電圧ノードと第1の内部ノードとの間に接続されかつその制御電極が第2の内部ノードに接続される第1導電型の第1のトランジスタと、基準電圧ノードと第2の内部ノードとの間に接続されかつその制御電極が第1の内部ノードに接続される第1導電型の第2のトランジスタと、プリチャージ用の第1の制御信号を受ける第1の入力ノードと第1の内部ノードとの間に接続される第1の容量素子と、電荷蓄積用の第2の制御信号を受ける第2の入力ノードと第2の内部ノードとの間に接続される第2の容量素子と、第2の内部ノードと出力ノードとの間に接続されかつその制御電極が第3の内部ノードに接続される第2導電型の第3のトランジスタと、第3の内部ノードと電荷転送用の第3の制御信号を受ける第3の入力ノードとの間

に接続される第3の容量素子と、出力ノードと第3の内部ノードとの間に接続されかつその制御電極が第2の内部ノードに接続される第2導電型の第4のトランジスタを備える。

【0016】

第1および第2のトランジスタを交差結合することにより、第1および第2のトランジスタを最適タイミングでオン／オフ状態として、第1および第2の内部ノードの電圧を高速で変化させて、その電圧レベルを維持することができる。したがって、電荷蓄積ノードとして作用する第2の内部ノードの電圧変化時に第2のトランジスタをオフ状態とした後に、第2の内部ノードへチャージポンプ動作を行なうことにより、第2の内部ノードに不要な電流が流れるのを防止することができる。

【0017】

【発明の実施の形態】

〔実施の形態1〕

図1は、この発明の実施の形態1に従う電圧発生回路の構成を示す図である。この図1に示す電圧発生回路は、基準電位よりも低い電圧負電圧を発生する。ここで、基準電位として接地電位GNDを用い、チャージポンプ動作制御用の信号は、接地電圧と電源電圧VCCの間で変化するため、 $-VCC$ の負電圧が生成される。

【0018】

図1において、電圧発生回路は、内部ノードND1と基準電位ノード（以下、接地ノードと称す）GGの間に接続されかつそのゲートが内部ノードND2に接続されるPチャネルMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）PQ1と、内部ノードND2と接地ノードGGとの間に接続されかつそのゲートが内部ノードND1に接続されるPチャネルMOSトランジスタPQ2と、プリチャージ用制御信号 ϕP を受ける制御信号入力ノードS1と内部ノードND1の間に接続される容量素子C1と、電荷蓄積用の制御信号 ϕCP を受ける制御信号入力ノードS2と内部ノードND2の間に接続される容量素子C2を含む。

【0019】

MOSトランジスタPQ1およびPQ2が、それぞれ、第1および第2のトランジスタに対応し、容量素子C1およびC2がそれぞれ、第1および第2の容量素子に対応する。制御信号 ϕP および ϕCP が、それぞれ、第1および第2の制御信号に対応する。内部ノードND1およびND2が、それぞれ、第1および第2の内部ノードに対応する。

【0020】

電圧発生回路は、さらに、内部ノードND2と出力ノードOD1の間に接続されかつそのゲートが内部ノードND3に接続されるNチャネルMOSトランジスタNQ1と、内部ノードND3と出力ノードOD1の間に接続されかつそのゲートが内部ノードND2に接続されるNチャネルMOSトランジスタNQ2と、電荷転送用の制御信号 ϕCT を受ける制御信号入力ノードS3と内部ノードND3の間に接続される容量素子C3を含む。

【0021】

MOSトランジスタNQ1およびNQ2が、それぞれ、第3および第4のトランジスタに対応し、容量素子C3が第3の容量素子に対応し、制御信号 ϕCT が第3の制御信号に対応する。

【0022】

出力ノードOD1と接地ノードの間には、容量素子C4が接続される。この容量素子C4は、出力負荷の変動に対して出力電圧 $-VCC$ を安定化するための容量であり、この出力負荷の変動が小さく、出力電圧 $-VCC$ の変動が小さい場合には、この安定化容量C4は、特に設ける必要はない。この出力ノードOD1の電圧が、図示しない内部回路へ印加される。

【0023】

制御信号 ϕP 、 ϕCP および ϕCT が、それぞれ、接地電圧GNDと電源電圧 VCC の間で変化する。

【0024】

図2は、図1に示す電圧発生回路の動作を示すタイミング図である。この図2においては、説明を簡略化するために、出力ノードOD1の電圧が、所定の電圧 $-VCC$ レベルに到達しているときの動作波形を示す。以下、図2を参照して、

図 1 に示す電圧発生回路の動作について説明する。

【0025】

制御信号 ϕP 、 ϕCP および ϕCT が、周期 T で変化する。図 2 においては、 $2 \cdot T$ の期間の信号波形を示す。

【0026】

時刻 t_0 において、制御信号 ϕP が接地電圧 GND レベル、制御信号 ϕCP が電源電圧 VCC レベル、および制御信号 ϕCT が接地電圧 GND レベルの状態にある。この状態においては、容量素子 C_1 の電荷引抜動作により、ノード ND_1 の電圧レベルは $-VCC$ であり、一方、ノード ND_2 は、容量素子 C_2 の電荷供給動作により、接地電圧 GND レベルにある。

【0027】

P チャネル MOS トランジスタ PQ_1 は、ノード ND_1 が、ドレインノードとなり、接地ノード GG がソースノードとなる。この p チャネル MOS トランジスタ PQ_1 は、エンハンスメント型トランジスタであり、所定の大きさのしきい値電圧を有している。したがって、 P チャネル MOS トランジスタ PQ_1 は、そのゲートおよびソースが同電位であり、オフ状態を維持するため、ノード ND_1 と接地ノード GG の間には電流は、流れない。

【0028】

MOS トランジスタ PQ_2 においては、そのゲート電位は負電位 $-VCC$ であり、そのドレイン（ノード ND_2 ）とソース（接地ノード）の電位が等しいため、 MOS トランジスタ PQ_2 のドレインーソース間に電流は流れない。

【0029】

N チャネル MOS トランジスタ NQ_1 に関しては、ノード ND_2 が接地電圧 GND レベル、出力ノード OD_1 が負電圧 $-VCC$ であり、ノード ND_3 が負電圧 $-VCC$ レベルである。この N チャネル MOS トランジスタ NQ_1 は、エンハンスメント型トランジスタであり、一定の大きさのしきい値電圧を有しており、ゲートおよびソース電位が等しい状態においてオフ状態を維持する。

【0030】

N チャネル MOS トランジスタ NQ_2 は、そのゲート電位が、ノード ND_2 の

電圧、すなわち接地電圧 GND レベルであり、ノード ND 3 および出力ノード OD 1 の電位レベルが等しく、この MOS トランジスタ NQ 2 においてもドレインとソースは電位が等しく、そのドレイン-ソース間に電流は流れない。この制御信号 ϕP により、MOS トランジスタ PQ 2 を導通状態として、ノード ND 2 を接地電圧レベルにプリチャージする。チャージポンプ動作初期時には、ノード ND 2 のプリチャージ電圧レベルを接地電圧方向に低下させる。

【0031】

時刻 t_1 において、制御信号 ϕP が接地電圧 GND レベルから電源電圧 VCC レベルに変化すると、ノード ND 1 が、容量素子 C 1 のチャージポンプ動作により、その電圧レベルが負電圧 $-VCC$ レベルから接地電圧 GND レベルに上昇する。安定状態においては、MOS トランジスタ PQ 1 のドレインおよびソースの電圧レベルが等しく電流は流れない。

【0032】

チャージポンプ動作初期の過渡時には、ノード ND 1 の電圧レベルは、接地電圧 GND 以上であり、MOS トランジスタ PQ 1 は、ノード ND 1 がソースとなり、接地ノードがドレインとなる。しかしながら、ノード ND 2 の電圧レベルがこのときに同様高く、この MOS トランジスタ PQ 1 は、エンハンスメント型トランジスタであり、ゲートおよびソースの電位差がしきい値電圧の絶対値以下であり、非導通状態を維持し、この MOS トランジスタ PQ 1 のドレイン-ソース間には電流は流れない。

【0033】

また、MOS トランジスタ PQ 2 においても、ノード ND 2 が接地電圧 GND レベルであるため、そのドレインおよびソース電位は等しく、ノード ND 1 の電圧レベルが、負電圧 $-VCC$ から接地電圧 GND レベルに上昇しても、この MOS トランジスタ PQ 2 のドレイン-ソース間には電流が流れない。この制御信号 ϕP を立ち上げることにより、MOS トランジスタ PQ 2 を非導通状態として、次のノード ND 2 のチャージポンプ動作に備える。

【0034】

また、ノード ND 2 は接地電圧 GND レベルを維持しており、ノード ND 3 は

、負電圧レベルである。この状態では、MOSトランジスタNQ2が導通して、出力ノードOD1が内部ノードND3と電氣的に接続され、内部ノードND3の電圧レベルが出力ノードOD1の電圧レベルと等しくなる。これにより、MOSトランジスタNQ1を確実に非導通状態に維持する。内部ノードND3および出力ノードOD1の電圧レベルが等しくなると、MOSトランジスタNQ2を介して流れる電流は停止する。

【0035】

また、この内部ノードND3と出力ノードOD1の電圧レベルを等しくする事により、内部ノードND2を負電圧レベルに駆動してMOSトランジスタNQ1のソースが、内部ノードND2となる場合においても、そのゲート-ソース間電圧をしきい値電圧以下に維持し、電荷転送前にエンハンスメント型MOSトランジスタNQ1が導通するのを防止する。チャージポンプ動作の開始時においては、内部ノードND2を負電圧レベルに駆動したときには、内部ノードND3の電圧レベルが高く、MOSトランジスタNQ1が導通することがある。しかしながら、このときには、単に制御信号 ϕ_{CT} を発生する前に負電荷が出力ノードOD1へ転送されるだけであり、出力電圧を低下させるために電荷が利用されており、電荷は有効に利用される。

【0036】

時刻 t_2 において、制御信号 ϕ_{CP} が電源電圧VCCレベルから接地電圧GNDレベルに低下し、容量素子C2のチャージポンプ動作により、ノードND2の電圧レベルが低下する。このとき、MOSトランジスタPQ1は、ノードND2が接地電圧GNDから負電圧へ変化しても、そのドレインおよびソースがともに接地電圧GNDレベルであり、MOSトランジスタPQ1のドレイン-ソース間には電流は流れない。

【0037】

MOSトランジスタPQ2は、ノードND2がドレインとして作用するため、そのゲートおよびソース（接地ノード）がともに接地電圧のレベルにあり、MOSトランジスタPQ2は、エンハンスメント型トランジスタであり、ゲート-ソース間電圧は、そのしきい値電圧の絶対値よりも小さいため、非導通状態を維持

する。したがって、このノードND2は、容量素子C2のチャージポンプ動作により、負電圧 $-V_{CC}$ レベルにまで低下する。このとき、ノードND3は、負電圧 $-V_{CC}$ レベルであり、MOSトランジスタNQ1は、そのソースが出力ノードOD1であり、ゲートおよびソース電位が等しく、非導通状態を維持する。

【0038】

ノードND2が負電圧レベルに駆動されると、出力ノードOD1の電圧レベルよりもノードND2の電圧レベルが低い状態となる。ノードND3の電圧は出力ノードの電圧レベルであり、制御信号 ϕ_{CT} が接地電圧レベルのときには、MOSトランジスタNQ1はエンハンスメント型トランジスタであり、過渡時および安定時において、そのゲート-ソース間電圧は、しきい値電圧よりも小さく、非導通状態を維持し、正確にノードND2を負電圧レベルに駆動することが出来る。

【0039】

なお、過渡時においてノードND2が負電圧レベルに駆動されるとき、ノードND1の電圧レベルが接地電圧よりも高いときには、MOSトランジスタPQ1が導通して、ノードND1の電圧レベルを低下させる。

【0040】

このノードND2へのチャージポンプ動作時においては、従って、ノードND2の電圧レベルに悪影響を及ぼす無効な電流が流れる経路は存在せず、有効に電荷を使用してノードND2を負電圧 $-V_{CC}$ レベルに設定することができる。

【0041】

また、MOSトランジスタNQ2においても、このドレインおよびソースが同一電圧レベルの負電圧 $-V_{CC}$ レベルであり、ドレイン-ソース間には電流は流れない。

【0042】

時刻 t_3 において、制御信号 ϕ_{CT} を接地電圧GNDレベルから電源電圧 V_{CC} レベルに上昇させる。このとき、制御信号 ϕ_P は電源電圧 V_{CC} レベルであり、制御信号 ϕ_{CP} は、接地電圧GNDレベルである。この状態において、ノードND3が、容量素子C3のチャージポンプ動作により、その電圧レベルが負電圧

−VCCから接地電圧GNDレベルへ上昇する。ノードND2は、負電圧−VCCレベルであるため、MOSトランジスタNQ1が導通し、ノードND2と出力ノードOD1が結合される。この出力ノードOD1の電圧レベルが負電圧−VCCよりも高い場合には、出力ノードOD1からノードND2へ負電荷が移動し、出力ノードOD1はノードND2と等しい電圧レベルとなる。すなわち、安定化時においては、出力ノードOD1の電圧レベルは、−VCCである。この場合においても、MOSトランジスタNQ2においては、ゲートおよびソースが同じ電圧レベルとなり、非導通状態を維持し、MOSトランジスタNQ2においてドレイン−ソース間に電流は流れない。

【0043】

チャージポンプ開始時等の過渡時においても、MOSトランジスタNQ2においては、内部ノードND3がドレインとなり、電荷転送開始時においては、ゲートの電位がソース電位よりも低いため、非導通状態を維持し、電荷転送動作により、ゲートおよびソースが同一電位となっても、そのしきい値電圧により、非導通状態を維持して、電荷転送動作に対しては悪影響は及ぼさない。

【0044】

これにより、ノードND3を制御信号 ϕ_{CT} に従って電源電圧レベルに駆動して、効率的に、出力ノードOD1へ負電荷を供給して、所望の電圧レベルの負電圧−VCCを生成することができる。

【0045】

時刻 t_4 において、制御信号 ϕ_{CT} が電源電圧VCCレベルから接地電圧GNDレベルに低下し、ノードND3が、接地電圧GNDレベルから負電圧VCCに低下する。このMOSトランジスタNQ1のソースノード（ノードND2）の最低電位は負電圧−VCCであり、MOSトランジスタNQ1は確実に非導通状態となる。

【0046】

MOSトランジスタNQ2においては、そのドレインおよびソースの電圧が負電圧−VCCであり、電流は、このMOSトランジスタNQ2を介しては流れない。

【0047】

チャージポンプ開始時の過渡時において、ノードND2およびOD1が、負電圧 $-V_{CC}$ よりも高い電圧レベルのとき、ノードND3は、先のサイクルの出力ノードOD1の電圧レベルに復帰するだけであり、MOSトランジスタNQ2のソースが出力ノードOD1であり、そのゲートおよびソースの電位が等しく非導通状態を維持する。MOSトランジスタNQ1において、たとえ導通状態となっても、そのソースおよびドレインとなる出力ノードOD1および内部ノードND2の電圧レベルは等しく電流は流れない。過渡時においては、ノードND3の復帰電圧レベルは、MOSトランジスタNQ1が、非導通状態に設定される電圧レベルである。したがって、過渡時においても、何ら無駄な電荷の消費は生じない。

【0048】

時刻 t_5 において、制御信号 ϕ_{CP} を接地電圧 GND レベルから電源電圧 V_{CC} レベルに上昇させる。このとき、制御信号 ϕ_P は、電源電圧 V_{CC} レベルである。制御信号 ϕ_{CT} は、接地電圧 GND レベルである。この制御信号 ϕ_{CP} の上昇に従って、容量素子 C2 のチャージポンプ動作により、ノードND2の電圧レベルが負電圧 $-V_{CC}$ から接地電圧 GND レベルへ上昇する。このとき、MOSトランジスタPQ1においては、ドレインおよびソースがともに接地電圧 GND レベルであり、そのゲート電位の上昇により非導通状態となり、このMOSトランジスタPQ1においては電流は流れない。

【0049】

また、MOSトランジスタPQ2においては、ノードND2の電圧レベルが負電圧 $-V_{CC}$ から接地電圧 GND レベルへ上昇するだけであり、ノードND2の電圧レベルは接地電圧 GND 以下であり、MOSトランジスタPQ2においては接地ノードがソースとして機能し、非導通状態を維持する。

【0050】

このノードND2の電位上昇時において、チャージポンプ開始時などの過渡状態においては、接地電圧 GND レベルよりも高い状態に維持されることが考えられる（ノードND2がソースとして機能する）。この場合、制御信号 ϕ_P の立

下げにより、MOSトランジスタPQ2を導通状態に設定するため、ノードND2は確実に接地電圧レベル方向に放電されるために、特に問題は生じない。

【0051】

この時刻t5において、ノードND2の電圧レベルが、接地電圧レベルに上昇しても、ノードND3は、負電圧 $-V_{CC}$ レベルであり、MOSトランジスタNQ1は非導通状態を維持する。MOSトランジスタNQ2が導通状態となっても、内部ノードND3の電圧レベルは、出力ノードOD1の負電圧 $-V_{CC}$ の電圧レベルと等しいため、MOSトランジスタNQ2は、そのゲートおよびソースの電圧が等しく、非導通状態を維持し、そのドレイン-ソース間には電流は流れない。

【0052】

時刻t6において制御信号 ϕ_P を接地電圧GNDレベルに低下させると、容量素子C1により、ノードND1の電圧レベルが、接地電圧GNDレベルから負電圧 $-V_{CC}$ レベルに低下する。このノードND1の電圧低下により、MOSトランジスタPQ2が導通し、ノードND2は確実に、接地電圧GNDレベルに設定される。

【0053】

過渡期において、ノードND2の電圧レベルが、接地電圧GNDレベルよりも高い電圧レベルに駆動される場合においても、確実に、このノードND2電圧レベルを低下させることが出来、次のサイクルにおいて、さらにノードND2の電圧レベルを制御信号 ϕ_{CP} に従って低下させることが出来、出力電圧レベルを低下させることができる。

【0054】

このノードND2の電位低下時において、MOSトランジスタPQ1においては、接地ノードがソースとして機能するため、ゲートおよびソースが同一電位となり、MOSトランジスタPQ1は、非導通状態を維持する。

【0055】

時刻t8において、1つのチャージポンプ動作の周期Tが完了し、上述の時刻t0からの動作が再び繰返される。

【0056】

したがって、この図1に示す電圧発生回路においては、チャージポンプ動作時、無効な電流が流れず、効率的に電荷を利用して所望のレベルの内部電圧を発生することができる。

【0057】

また、MOSトランジスタPQ1およびPQ2を交差結合して、それらのゲート電位を個々に容量素子のチャージポンプ動作により設定しており、これらのMOSトランジスタPQ1およびPQ2を非導通状態に設定した後に、制御信号に従って、ノードND1およびND2の電圧レベルを、高速かつ確実に変化させることができる。

【0058】

なお、上述の説明においては、説明を簡略化するために、内部ノードND2の寄生容量の効果は無視している。この内部ノードND2に無視できない大きさの寄生容量が存在する場合、ノードND2の電圧振幅が、電源電圧VCCよりも小さくなるため、出力ノードOD1の出力電圧の絶対値が小さくなる。

【0059】

また、内部ノードND2の電圧振幅を決定する制御信号 ϕ_{CP} を、電源電圧VCCと接地電圧GNDの間で変化させている。しかしながら、基準電圧を接地電圧GNDでなく、電圧 V_r とし、制御信号 ϕ_{CP} の電圧振幅を V_ϕ とすると、出力ノードOD1の出力電圧 V_{OUT} は、次式(1)で表わされる。

【0060】

$$V_{OUT} = V_r - V_\phi \quad \cdots \quad (1)$$

通常、前述の動作説明のように、基準電圧 V_r は接地電圧GND(=0V)に等しく、また制御信号 ϕ_{CP} は、電源電圧VCCと接地電圧GNDを動作電源電圧として使用する回路から生成されるため、電圧振幅 V_ϕ を電源電圧VCCに等しいとすると、上式(1)は次式(2)に変形される。

【0061】

$$V_{OUT} = -V_{CC} \quad \cdots \quad (2)$$

さらに、上述の説明において、制御信号 ϕ_P 、 ϕ_{CP} および ϕ_{CT} をすべて、

電源電圧VCCと接地電圧GNDとの間で変化させており、それらのハイレベルおよびローレベルの電圧レベルは等しく設定されている。しかしながら、内部ノードND1、ND2およびND3の電圧変化時に、その電圧変化と逆方向の電流が流れるのを防止するようにMOSトランジスタPQ1、PQ2、NQ1およびNQ2を非導通状態に設定するという条件が満足されれば、これらの制御信号 ϕ P、 ϕ CPおよび ϕ CTのそれぞれのハイレベルおよびローレベルの電圧レベルは互いに異なってもよい。

【0062】

以上のように、この発明の実施の形態1に従えば、交差結合されたPチャネルMOSトランジスタを用い、これらのゲートノード電位を、容量素子のチャージポンプ動作により決定している。また、出力トランジスタの導通／非導通状態の設定は、制御信号により行なっており、電荷蓄積ノードの電位変化時、不要な電流が流れるのを防止することができ、効率的に所望のレベルの電圧を生成することができる。

【0063】

[実施の形態2]

図3は、この発明の実施の形態2に従う電圧発生回路の構成を示す図である。この図3に示す電圧発生回路は、電源電圧VCCを基準電圧として、この電源電圧VCCよりも高い $2 \cdot VCC$ の高電圧を発生する。

【0064】

図3において、電圧発生回路は、電源ノード（基準ノード）PWと内部ノード（第1の内部ノード）ND11の間に接続されかつそのゲートが内部ノード（第2の内部ノード）ND12に接続されるNチャネルMOSトランジスタNQ11と、電源ノードPWと内部ノードND12の間に接続されかつそのゲートが内部ノードND11に接続されるNチャネルMOSトランジスタNQ12と、第1の制御信号 ϕ PZを受ける制御信号入力ノード（第1の制御信号入力ノード）S11と内部ノードND11の間に接続される容量素子（第1の容量素子）C11と、制御信号 ϕ CPZを受ける制御信号入力ノード（第2の制御信号入力ノード）S12と内部ノードND12の間に接続される容量素子（第2の容量素子）C1

2を含む。

【0065】

制御信号 ϕPZ および ϕCPZ は、電源電圧 VCC と接地電圧 GND の間で変化する。

【0066】

電圧発生回路は、さらに、内部ノード $ND12$ と出力ノード $OD11$ の間に接続されかつそのゲートが内部ノード（第3の内部ノード） $ND13$ に接続されるPチャネルMOSトランジスタ（第3のトランジスタ） $PQ11$ と、内部ノード $ND13$ と出力ノード $OD11$ の間に接続されかつそのゲートが内部ノード $ND12$ に接続されるPチャネルMOSトランジスタ（第4のトランジスタ） $PQ12$ と、制御信号 ϕCTZ を受ける制御信号入力ノード（第3の制御信号入力ノード） $S13$ と内部ノード $ND13$ の間に接続される容量素子（第3の容量素子） $C13$ を含む。

【0067】

上述の説明において、括弧内の構成要素は、請求項に記載された要素との対応関係を示す。また、制御信号 ϕCTZ は、電源電圧 VCC と接地電圧 GND との間で変化する。

【0068】

出力ノード $OD11$ には、この出力ノード $OD11$ の電圧を安定化させるための安定化容量 $C14$ が設けられる。この安定化容量 $C14$ は、出力ノード $OD11$ の負荷変動が小さい場合には、特に設ける必要はない。

【0069】

この図3に示す電圧発生回路は、図1に示す電圧発生回路のトランジスタの導電型を反対にし、かつ接地ノードを電源ノードに入換えたものと等価である。制御信号 ϕPZ 、 ϕCPZ および ϕCTZ は、それぞれ、図1に示す制御信号 ϕP 、 ϕCPZ および ϕCTZ と相補な信号である。

【0070】

図4は、図3に示す電圧発生回路の動作を示す信号波形図である。図4においても、説明を簡単にするために、出力電圧が $2 \cdot VCC$ の電圧レベルにある安定

状態時の信号波形を示す。以下、図4を参照して、図3に示す電圧発生回路の動作について説明する。

【0071】

この図3に示す電圧発生回路においては、前述のごとく、図1に示す負電圧 $-V_{CC}$ を発生する回路の信号極性およびトランジスタの導電型が逆にされている。したがって、同様の動作が行なわれる。すなわち、無効電流が流れるのが防止される。

【0072】

時刻 t_0 において、制御信号 ϕ_{PZ} が電源電圧 V_{CC} レベル、制御信号 ϕ_{CPZ} が接地電圧 GND レベル、または、制御信号 ϕ_{CTZ} が電源電圧 V_{CC} レベルである。この状態において、ノード $ND11$ が、高電圧 $2 \cdot V_{CC}$ の電圧レベルにあり、ノード $ND12$ が、電源電圧 V_{CC} レベルである（安定状態時）。MOSトランジスタ $NQ11$ は、ソースが電源ノード PW であり、そのゲートおよびソース電圧が等しいため、非導通状態にある。

【0073】

MOSトランジスタ $NQ12$ は、ゲート電位が高電圧 $2 \cdot V_{CC}$ であっても、そのノード $ND12$ および電源ノード PW の電圧レベルが等しく、MOSトランジスタ $NQ12$ のドレインーソース間には電流は流れない。

【0074】

ノード $ND13$ は、高電圧 $2 \cdot V_{CC}$ レベルであり、MOSトランジスタ $PQ11$ は、そのゲート電位がソースおよびドレイン電位以上であるため、非導通状態を維持する。MOSトランジスタ $PQ12$ は、出力電圧の安定化時、ノード $ND12$ が電源電圧 V_{CC} レベルであり、導通状態とされ、一方、ノード $ND13$ と出力ノード $OD11$ の電圧レベルは等しいため、このMOSトランジスタ $PQ12$ においても電流は流れない。

【0075】

チャージポンプ動作開始時等の過渡状態時において、出力ノード $OD11$ の電圧が、最終電圧 $2 \cdot V_{CC}$ レベルよりも低い場合において、ノード $ND12$ の電圧レベルが、ノード $ND13$ および出力ノード $OD11$ の電圧レベルよりも低く

なる状態となると、MOSトランジスタPQ12が導通状態となり、ノードND13と出力ノードOD11とを電氣的に接続する。しかしながら、この場合、出力ノードOD11の電圧レベルを上昇させる方向に電流が流れるために、出力ノードOD11の電圧上昇を妨げる無効電流は何ら流れない。このとき、出力ノードOD11の電圧とノードND13の電圧レベルが等しくなった状態でMOSトランジスタPQ12を流れる電流が停止する。MOSトランジスタPQ11においては、この状態では、出力ノードOD11がソースとして作用するため、ゲートおよびソースの電位が等しく、非導通状態を維持する。

【0076】

時刻 t_1 において、制御信号 ϕ_{PZ} を電源電圧VCCレベルから接地電圧GNDレベルへ低下させる。MOSトランジスタNQ11は非導通状態であり、容量素子C11のチャージポンプ動作により、ノードND11の電圧レベルが高電圧 $2 \cdot VCC$ から電源電圧VCCレベルに低下する。この場合、ノードND12は、電源電圧VCCレベルであり、MOSトランジスタNQ12が非導通状態となる。ノードND12の電位は何ら変化せず、したがって、この状態において、何ら無効電流は流れない。

【0077】

時刻 t_2 において、制御信号 ϕ_{CPZ} が接地電圧GNDレベルから電源電圧VCCレベルに上昇し、ノードND12の電圧レベルが電源電圧VCCから高電圧 $2 \cdot VCC$ レベルに上昇する。この状態において、MOSトランジスタNQ11が導通状態となっても、ノードND11と電源ノードPWの電圧レベルは等しく、電流は流れない。内部ノードND12の電圧レベルが高電圧 $2 \cdot VCC$ となると、MOSトランジスタPQ12は、ゲート電位がソースおよびドレイン電位以上となり、確実に、非導通状態に設定される。MOSトランジスタPQ11は、そのゲート電位が高電圧 $2 \cdot VCC$ であり、ノードND12の電圧レベルが高電圧 $2 \cdot VCC$ に上昇しても、ノードND12が、ソースとして機能し、ゲートおよびソース電位が等しくなるだけであり、非導通状態を維持する。

【0078】

過渡状態時において、出力ノードOD11の電圧が最終の高電圧 $2 \cdot VCC$ よ

りも低いときにおいても、ノードND12の電位上昇によりMOSトランジスタPQ12が非導通状態となる。先に出力ノードOD11と内部ノードND13とが電氣的に接続されて同一電圧レベルに設定されており、MOSトランジスタPQ11においては、この状態においては、そのゲートソース間電圧は、しきい値電圧の絶対値以下程度であり、非導通状態を維持する。

【0079】

MOSトランジスタNQ11、NQ12、PQ11およびPQ12は、エンハンスメント型トランジスタであり、そのゲートソース間電圧が、しきい値電圧の絶対値以上となったときにのみ、これらのMOSトランジスタNQ11、NQ12、PQ11およびPQ12が導通状態となる。

【0080】

時刻t3において、制御信号 ϕ_{CTZ} を、電源電圧VCCから接地電圧GNDレベルに低下させる。この制御信号 ϕ_{CTZ} の立下がりによって容量素子C13のチャージポンプ動作により、ノードND13の電圧レベルが高電圧 $2 \cdot VCC$ から電源電圧VCCレベルにまで低下し、MOSトランジスタPQ11のゲート電位がソース電位よりも十分に低くなり、MOSトランジスタPQ11が導通し、ノードND12と出力ノードOD11とが電氣的に結合される。

【0081】

出力ノードOD11の電圧レベルが、最終電圧 $2 \cdot VCC$ レベルよりも低い場合には、この内部ノードND12から出力ノードOD11に正電荷が供給され、出力ノードOD11の電圧レベルが上昇する。この出力ノードOD11への電荷供給動作時において、MOSトランジスタPQ12のゲート電位は、ソース電位以上であり、非導通状態を維持する。したがって、この場合においても、何ら無効電流は流れない。

【0082】

時刻t4において、制御信号 ϕ_{CTZ} を接地電圧GNDレベルから電源電圧VCCレベルに上昇させる。容量素子C13のチャージポンプ動作により、ノードND13の電圧レベルが、電源電圧VCCから、高電圧 $2 \cdot VCC$ レベルに上昇する。MOSトランジスタPQ11のゲート電位がソース電位以上となり、MO

SトランジスタPQ11が非導通状態となる。

【0083】

このとき、過渡状態時において出力ノードOD11の電圧レベルが高電圧 $2 \cdot VCC$ よりも低いとき、MOSトランジスタPQ12が導通状態となることが考えられる。しかしながら、この場合でも、ノードND13から出力ノードOD11へ正電荷が供給され、この出力ノードOD11の電圧レベルを上昇させる。

【0084】

特に、チャージポンプ動作初期時の過渡状態時、出力ノードOD11の電圧レベルが高電圧 $2 \cdot VCC$ より低いときは、通常、ノードND12の電圧レベルは、高電圧 $2 \cdot VCC$ よりも低い電圧レベルであり、ノードND13の電圧も、出力ノードOD11と同程度の電圧レベルである（先に、ノードND13の電圧レベルが、電荷転送前に出力ノードと同一電圧レベルに設定されている）。従って、エンハンスメント型のMOSトランジスタPQ12は、この状態においては、そのゲート-ソース間電圧が、しきい値電圧の絶対値以下であり、非導通状態を維持する。

【0085】

この過渡期においても、MOSトランジスタPQ11は、ゲートの電位が、ソース（出力ノードOD11）以上であるため、非導通状態を維持するため、出力ノードOD11から内部ノードND12への無効電流は流れない。

【0086】

時刻 t_5 において、制御信号 ϕ_{CPZ} を電源電圧 VCC から接地電位 GND レベルに低下させる。容量素子C12のチャージポンプ動作により、ノードND12の電圧レベルが、高電圧 $2 \cdot VCC$ から電源電圧 VCC レベルに低下する。ノードND11が、電源電圧 VCC レベルである。MOSトランジスタNQ12は、ソースとゲートの電位が等しいため、非導通状態を維持する。

【0087】

MOSトランジスタPQ12のゲート電位がソース（出力ノードOD11）の電圧レベルよりも低くなり、導通状態となり、出力ノードと内部ノードND13とを電氣的に接続する。この内部ノードND13と出力ノードとを接続する事に

より、MOSトランジスタPQ11を、そのゲートおよびソースの電位を等しくして非導通状態に維持する。従って、内部ノードND13の充電が行なわれても、出力ノードへの電荷転送を正確に行なうために必要な電流が流れるだけであり、何ら無効電流は流れない。

【0088】

また、過渡時において、制御信号 ϕ CPZによる内部ノードND12の昇圧時に、ノードND13の電圧レベルが内部ノードND12の電圧レベルよりも低い状態となっても、MOSトランジスタPQ11を非導通状態に維持する（ゲート-ソース間電圧をしきい値電圧の絶対値以下に維持する）。

【0089】

過渡状態時において、出力ノードOD11の電圧が最終電圧レベルに到達していないときに、ノードND12が、電源電圧VCCよりも低い電圧レベルに低下することが考えられる。この場合、ノードND11の電圧レベルが電源電圧レベルであり、ノードND12は、MOSトランジスタNQ12のしきい値電圧だけ電源電圧VCCレベルよりも低い電圧レベルに維持される。このときに流れる電流は、電源ノードPWからMOSトランジスタNQ12を介して供給されるだけであり、電圧レベルの補償が行なわれるだけであり、何ら無効電流は流れない。

【0090】

時刻t6において、制御信号 ϕ PZを接地電圧GNDレベルから電源電圧VCCレベルに上昇させる。容量素子C11のチャージポンプ動作により、ノードND11の電圧レベルが電源電圧VCCから高電圧 $2 \cdot VCC$ レベルに上昇し、MOSトランジスタNQ12が導通し、ノードND12が確実に、電源電圧VCCレベルに設定される。

【0091】

したがって、制御信号 ϕ PZ、 ϕ CPZおよび ϕ CTZにより、電荷蓄積ノードとして機能する内部ノードND12の電源電圧レベルのプリチャージ、高電圧VCCレベルへの充電、およびこの充電電荷の出力ノードへの転送を行なう期間、何ら無効電流は流れず、効率的に、電荷を利用して高電圧 $2 \cdot VCC$ を生成することができる。

【0092】

なお、この図3に示す電圧発生回路においても、内部ノードND12の寄生容量の存在は無視している。内部ノードND12に無視することのできない大きさの寄生容量が存在する場合、この内部ノードND12の電圧振幅が電源電圧VCCよりも小さくなり、出力ノードOD11からの出力電圧は、高電圧 $2 \cdot VCC$ よりも低い電圧レベルとなる。

【0093】

一般に、制御信号 ϕCPZ の振幅を、先の実施の形態1と同様、 $V\phi$ とし、電源ノードPWの電圧をVPWとすると、出力ノードOD11からの出力電圧VOUTは、次式(3)で示される。

【0094】

$$VOUT = VPW + V\phi \quad \dots \quad (3)$$

したがって、必要とされる電圧レベルに応じて制御信号 ϕCPZ の振幅を決定する。図3に示す構成においては、電源ノードPWの電圧は電源電圧VCCであり、制御信号 ϕCPZ の振幅は電源電圧VCCであり、出力電圧VOUTは、次式(4)で与えられる。

【0095】

$$VOUT = 2 \cdot VCC \quad \dots \quad (4)$$

この制御信号 ϕPZ 、 ϕCPZ および ϕCTZ のハイレベルおよびローレベルの電圧レベルは等しくする必要はなく、内部ノードND12へのプリチャージ、電荷供給および電荷転送を上述のMOSトランジスタNQ11、NQ12、PQ11およびPQ12の導通／非導通状態を確実に設定することができる条件を満たす限り、これらの制御信号 ϕPZ 、 ϕCPZ および ϕCTZ は、それらのハイレベル電圧およびローレベル電圧は互いに異なってもよい。

【0096】

以上のように、この発明の実施の形態2に従えば、NチャネルMOSトランジスタを交差結合し、電荷蓄積ノードへの電荷の充電を、容量素子のチャージポンプ動作を利用して行なっており、MOSトランジスタを非導通状態に設定した後に電荷蓄積ノードに電荷を供給することができ、無効電流が流れるのを防止して

、効率的に、正の高電圧を発生することができる。

【0097】

[実施の形態3]

図5は、この発明の実施の形態3に従う内部電圧発生回路の構成を概略的に示す図である。図5において、内部電圧発生回路は、繰返し信号 $\phi 0$ に従って制御信号 ϕP 、 ϕCP および ϕCT を生成する制御信号発生回路1と、制御信号発生回路1からの制御信号 ϕP 、 ϕCP および ϕCT に従って負電圧 $-VCC$ を発生する負電圧発生回路10と、制御信号 ϕP 、 ϕCP および ϕCT をそれぞれ反転して制御信号 ϕCTZ 、 ϕCPZ および ϕPZ を生成する反転回路15と、この反転回路15からの制御信号 ϕCTZ 、 ϕCPZ および ϕPZ に従って正電圧 $2 \cdot VCC$ を生成する正電圧発生回路20を含む。

【0098】

負電圧発生回路10は、図1に示す電圧発生回路と同様の構成を有し、正電圧発生回路20は、図3に示す電圧発生回路と同様の構成を備える。この負電圧発生回路10および正電圧発生回路20に対し共通に制御信号発生回路1を設けることにより、小占有面積で効率的に所望の電圧レベルの内部電圧 $-VCC$ および $2 \cdot VCC$ を生成することができる。

【0099】

図6は、図5に示す制御信号発生回路1の構成を概略的に示す図である。図6において、制御信号発生回路1は、繰返し信号 $\phi 0$ を受ける4段の縦続接続される遅延回路30a-30dと、遅延回路30aの出力信号 $\phi 1$ を受けるインバータ32aと、遅延回路30cの出力信号 $\phi 3$ を受けるインバータ32bと、インバータ32aの出力信号と遅延回路30dの出力信号 $\phi 4$ を受けて制御信号 ϕCP を生成するOR回路33と、遅延回路30bの出力信号 $\phi 2$ とインバータ32bの出力信号を受けて制御信号 ϕCT を生成するAND回路34を含む。

【0100】

遅延回路30a-30dは、それぞれ、たとえば偶数段の縦続接続されるインバータで構成され、遅延時間DTを有する。

【0101】

図7は、図6に示す制御信号発生回路1の動作を示す信号波形図である。以下、図7を参照して、図6に示す制御信号発生回路1の動作について説明する。

【0102】

繰返し信号 $\phi 0$ は、一定の周期を有する信号であり、この繰返し信号 $\phi 0$ は、プリチャージ用の制御信号 ϕP としても用いられる。遅延回路30a-30dが、それぞれ与えられた信号を所定時間DT遅延して遅延信号 $\phi 1-\phi 4$ をそれぞれ生成する。

【0103】

OR回路33は、インバータ32aの出力信号と遅延回路30dの出力信号 $\phi 4$ を受けて電荷蓄積用の制御信号 ϕCP を生成している。したがって、この制御信号 ϕCP がLレベルとなる期間は、遅延回路30dの出力信号 $\phi 4$ がLレベルでありかつ遅延回路30aの出力信号 $\phi 1$ がHレベルの期間である。したがって、制御信号 ϕCP は、遅延回路30aの出力信号 $\phi 1$ がHレベルへ立上がるとLレベルに立下がり、遅延回路30aの出力信号 $\phi 4$ がHレベルに立上がるとHレベルに立上がる。したがって、この制御信号 ϕCP は、期間 $3 \cdot DT$ の間Lレベルとなる。

【0104】

AND回路34からの電荷転送用の制御信号 ϕCT は、遅延回路30bの出力信号 $\phi 2$ がHレベルにありかつインバータ32bの出力信号がHレベルのときにHレベルとなる。したがって、この制御信号 ϕCT は、遅延回路30bの出力信号 $\phi 2$ がHレベルに立上がるとHレベルとなり、遅延回路30cの出力信号 $\phi 3$ がHレベルとなるとLレベルとなる。この制御信号 ϕCT は、期間DTの間Hレベルとなる。

【0105】

なお、この遅延回路30a-30dの出力信号 $\phi 1-\phi 4$ それぞれのハイレベルは、電源電圧VCCレベルであり、また、それぞれのローレベルは接地電圧GNDレベルである。この場合、制御信号 ϕP 、 ϕCP および ϕCT は、ハイレベルが電源電圧VCCレベル、ローレベルが接地電圧GNDレベルの信号となる。この制御信号発生回路1の動作電源電圧レベルを変更することにより、制御信号

ϕP 、 ϕCP および ϕCT の振幅およびハイレベルおよびローレベルの電位を変更することができる。

【0106】

繰返し信号 $\phi 0$ は、内部の発振回路から生成されてもよく、信号転送または動作サイクル設定などのために外部から繰返し与えられるクロック信号が用いられてもよい。

【0107】

正電圧発生回路20は、これらの制御信号 ϕP 、 ϕCP および ϕCT を反転した制御信号 ϕPZ 、 ϕCPZ および ϕCTZ に従って動作する。これらの制御信号を利用することにより、図2および図4に示すタイミング図における制御信号の位相関係を実現することができ、MOSトランジスタを非導通状態に設定した後、にチャージポンプ動作を行ない、内部電圧発生のための電荷蓄積後に電荷転送用のMOSトランジスタを導通状態に設定することができる。

【0108】

なお、図6に示す制御信号発生回路1の構成において、遅延回路30a-30dは、同じ遅延時間DTを有している。しかしながら、以下の制御信号発生シーケンスを満たす限り、これらの遅延回路30a-30dの遅延時間は異なってもよい。すなわち、プリチャージ用の制御信号 ϕP の電圧レベルが変化して所定時間経過した後、に、プリチャージ用の制御信号 ϕCP が変化し、続いて、所定時間経過後に電荷転送用の制御信号 ϕCT の電圧レベルが変化して電荷転送が行なわれる。この電荷転送用の制御信号 ϕCT が非活性状態となったときに、電荷蓄積用の制御信号 ϕCP の論理レベルが変化し、その後プリチャージ用の制御信号 ϕCP の電圧レベルが変化してプリチャージが行なわれるという動作シーケンスが実現されればよい。

【0109】

なお、図5に示す内部電圧発生回路においては、負電圧発生回路10および正電圧発生回路20がともに設けられ、負電圧 $-VCC$ および正電圧 $2 \cdot VCC$ が生成されている。しかしながら、負電圧発生回路10のみまたは正電圧発生回路20のみが設けられる場合においても、この制御信号発生回路1を利用すること

により、効率的に所望の電圧レベルの内部電圧を発生することができる。また、これらの内部電圧は、 $-VCC$ および $2 \cdot VCC$ と異なる電圧レベルであってもよい。

【0110】

以上のように、この発明の実施の形態3に従えば、遅延回路を縦続接続し、所望の位相関係の信号を論理処理して電荷プリチャージ、充電および転送のための制御信号を生成しており、簡易な回路構成で容易に、内部電圧を発生するためのチャージポンプ動作制御信号を生成することができる。

【0111】

[実施の形態4]

図8は、この発明の実施の形態4に従う電圧発生回路の構成を示す図である。この図8に示す電圧発生回路は、図1に示す電圧発生回路に対し、さらに、出力ノードOD1と最終出力ノードFOD1の間に、さらに、生成される内部電圧の絶対値を大きくする電圧駆動段40が設けられる。

【0112】

この出力ノードOD1の前段の負電圧発生部の構成は、図1に示す電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0113】

電圧駆動段40は、制御信号 ϕP を受ける制御信号入力ノードS31と出力ノードOD1の間に接続される容量素子C20と、内部出力ノードOD1と最終出力ノードFOD1の間に接続されかつそのゲートが内部ノードND30に接続されるNチャネルMOSトランジスタNQ31と、内部ノードND30と最終出力ノードFOD1の間に接続されかつそのゲートが内部出力ノードOD1に接続されるNチャネルMOSトランジスタNQ32と、制御信号 ϕCTF を受ける制御信号入力ノードS32と内部ノードND30の間に接続される容量素子C21を含む。

【0114】

この最終出力ノードFOD1に対して、実施の形態1と同様、安定化容量C4

が接続される。しかしながら、この安定化容量C4は、出力負荷変動が小さい場合には、特に設けられなくてもよい。

【0115】

制御信号 ϕ_{CTF} は、最終出力ノードFOD1へ内部出力ノードOD1から負電荷を供給するときに活性化される。制御信号 ϕ_P 、 ϕ_{CP} および ϕ_{CT} は、実施の形態1の制御信号と同じである。

【0116】

図9は、図8に示す電圧発生回路の動作を示すタイミング図である。以下、図9を参照して、図8に示す電圧発生回路の動作について説明する。図9においても、周期 $2 \cdot T$ の期間の安定状態での信号波形を示す。また、以下の説明においては、安定状態時の動作について説明する。チャージポンプ動作初期の過渡時においても、各ノードの電圧レベルが異なるだけで、安定状態時とほぼ同様の動作が行なわれる。

【0117】

制御信号 ϕ_P 、 ϕ_{CP} および ϕ_{CT} は実施の形態1と同じであり、したがって、出力ノードOD1前段の回路動作自体は、実施の形態1の場合と実質的に同じである。しかしながら、内部出力ノードOD1の電圧振幅が実施の形態1と異なるため、内部ノードND3の電圧変化が、実施の形態1の場合と異なる。

【0118】

時刻 t_{10} において、制御信号 ϕ_P 、 ϕ_{CT} がLレベルに設定され、一方、制御信号 ϕ_{CP} がHレベルに設定される。この状態では、ノードND1が負電圧 $-V_{CC}$ 、出力ノードOD1が負電圧 $-2V_{CC}$ レベルである。したがって、ノードND1が、負電圧 $-V_{CC}$ レベルに駆動され、ノードND2が、接地電圧GNDレベルにプリチャージされる。また、内部出力ノードOD1が負電圧 $-2 \cdot V_{CC}$ であり、MOSトランジスタNQ2が導通状態にあり、内部ノードND3が内部出力ノードOD1と電氣的に接続され、同一電圧レベルに維持される。

【0119】

この内部ノードND3を内部出力ノードOD1と同一電圧レベルに設定する事により、MOSトランジスタNQ1を非導通状態に維持する。

【0120】

時刻 t_{11} において、制御信号 ϕ_P が接地電圧 GND から電源電圧 VCC レベルに上昇すると、ノード ND1 が容量素子 C1 により接地電圧 GND レベルに駆動され、ノード ND2 のプリチャージ動作が完了する。このとき、また、容量素子 C20 より、出力ノード OD1 の電圧レベルが $-2 \cdot VCC$ から電圧 $-VCC$ レベルに上昇する。この場合、ノード ND2 は接地電圧 GND レベルであり、MOS トランジスタ NQ2 が導通状態を維持し、内部ノード ND3 の電圧レベルが、内部出力ノード OD1 の電圧レベルと等しくなり、負電圧 $-VCC$ レベルとなる。

【0121】

また、MOS トランジスタ NQ1 は、ゲート（ノード ND3）およびソース（内部出力ノード OD1）の電位が同じとなり、非導通状態を維持する。

【0122】

時刻 t_{12} においては制御信号 ϕ_{CP} が電源電圧 VCC レベルから接地電圧 GND レベルに低下し、ノード ND2 が負電圧 $-VCC$ レベルに駆動され、N チャネル MOS トランジスタ NQ2 が非導通状態に設定される。この状態においても、MOS トランジスタ NQ1 は、ノード ND2 が負電圧 $-VCC$ レベルであり、安定状態時にはゲート、ソースおよびドレイン電位がすべて同じであり、非導通状態を維持する。また、過渡時には、実施の形態 1 と同様そのゲート-ソース間電圧がしきい値電圧以下であり、非導通状態を維持する。

【0123】

時刻 t_{13} において、制御信号 ϕ_{CT} が接地電圧 GND から電源電圧 VCC レベルに上昇し、ノード ND3 の電圧レベルが負電圧 $-VCC$ から接地電圧 GND レベルに上昇する。MOS トランジスタ NQ1 が導通状態となり、ノード ND2 および出力ノード OD1 を電氣的に接続して内部ノード ND2 と内部出力ノード OD1 の電圧レベルを等しくする。しかしながら、出力ノード OD1 は、定常状態時には、先に、負電圧 $-VCC$ レベルにプリチャージされており、MOS トランジスタ NQ1 のドレインおよびソース電位は同じであり、定常状態においては、電流は流れない。

【0124】

時刻 t_{14} において、制御信号 ϕ_{CT} が電源電圧 V_{CC} レベルから接地電圧 GND レベルに低下し、ノード $ND3$ の電圧レベルが接地電圧 GND から負電圧 $-V_{CC}$ レベルに低下する。応じて、MOS トランジスタ $NQ1$ が、非導通状態となり、ノード $ND2$ および内部出力ノード $OD1$ が分離される。MOS トランジスタ $NQ2$ は、安定状態においては、ゲート、ドレインおよびソースが同一電位であり、電流は流れない。

【0125】

時刻 t_{15} において、制御信号 ϕ_{CP} が接地電圧 GND から電源電圧 V_{CC} レベルに上昇し、ノード $ND2$ の電圧レベルが、負電圧 $-V_{CC}$ から接地電圧 GND レベルに上昇する。このノード $ND2$ の電圧レベルの上昇に従って、MOS トランジスタ $PQ1$ が非導通状態となり、次のプリチャージ動作に備える。

【0126】

また、MOS トランジスタ $NQ2$ が導通し、内部ノード $ND3$ と内部出力ノード $OD1$ とを電氣的に接続し、内部ノード $ND3$ の電圧レベルが内部出力ノード $OD1$ の電圧レベルの負電圧 $-V_{CC}$ となり、MOS トランジスタ $NQ1$ が、ゲートおよびソースの電圧が等しくされて非導通状態に維持される。

【0127】

時刻 t_{16} において、制御信号 ϕ_P が、電源電圧 V_{CC} レベルから接地電圧 GND レベルに低下すると、ノード $ND1$ が接地電圧 GND レベルから負電圧 $-V_{CC}$ レベルに低下する。このときまた、容量素子 $C20$ により、内部出力ノード $OD1$ も、浅い負電圧 $-V_{CC}$ レベルから、深い負電圧 $-2 \cdot V_{CC}$ レベルにまで低下する。ノード $ND2$ は、接地電圧 GND レベルであり、MOS トランジスタ $NQ2$ が導通しているため、ノード $ND3$ と内部出力ノード $OD1$ が同一電圧レベルとなり、MOS トランジスタ $NQ1$ が非導通状態に維持される。したがって、ノード $ND2$ が、接地電圧 GND レベルであっても、内部出力ノード $OD1$ が、深い負電圧 $-2 \cdot V_{CC}$ レベルにまで低下し、同様、ノード $ND3$ も、深い負電圧 $-2 \cdot V_{CC}$ レベルにまで低下する。

【0128】

この場合は、MOSトランジスタNQ2により、MOSトランジスタNQ1のゲートにソースが電氣的に結合されるため、MOSトランジスタNQ1は高速で非導通状態となり、無効電流がほとんど流れず確実に、内部出力ノードOD1が、負電圧 $-2 \cdot VCC$ レベルにまで低下する。

【0129】

このとき、過渡時などにおいて、内部ノードND30の電圧レベルが、内部出力ノードOD1の電圧レベルよりも高くなることが考えられる。しかしながら、内部ノードND30と最終出力ノードFOD1とをいったん電氣的に接続しており、このような状態での内部ノードND30と内部出力ノードOD1の電圧レベルの差は小さく、MOSトランジスタNQ1は、そのしきい値電圧により、非導通状態を維持する。

【0130】

時刻 t_{17} において、制御信号 ϕ_{CTF} が接地電圧GNDレベルから電源電圧VCCレベルにまで上昇し、ノードND30の電圧レベルが、深い負電圧 $-2 \cdot VCC$ から浅い負電圧 $-VCC$ にまで上昇する。応じて、MOSトランジスタNQ31が導通し、出力ノードOD1と最終出力ノードFOD1が電氣的に結合される。最終出力ノードFOD1の電圧レベルが、深い負電圧 $-2 \cdot VCC$ よりも高い場合には、この内部出力ノードOD1から負電荷が最終出力ノードFOD1へ供給される。この電荷転送時においては、MOSトランジスタNQ2は、ゲート電位が、ソース（最終出力ノードFOD1）であり非導通状態を維持し、効率的に内部出力ノードOD1から最終出力ノードFOD1に電荷が転送される。

【0131】

時刻 t_{18} において、制御信号 ϕ_P を接地電圧GNDから電源電圧VCCレベルにまで上昇させる。応じて、ノードND1が浅い負電圧 $-VCC$ から接地電圧GNDレベルに復帰し、また出力ノードOD1も深い負電圧 $-2 \cdot VCC$ から浅い負電圧 $-VCC$ に上昇する。このとき、ノードND2は接地電圧レベルであり、ノードND3は、出力ノードOD1と同様、深い負電圧 $-2 \cdot VCC$ から負電圧 $-VCC$ レベルにまでその電圧レベルが上昇する。

【0132】

時刻 t_{19} 以降、上述の動作が繰返し行なわれる。

なお、出力ノード $OD1$ を深い負電圧 $-2 \cdot V_{CC}$ レベルまで低下させ、応じてノード $ND3$ も深い負電圧 $-2 \cdot V_{CC}$ レベルにまで低下させるとき、容量素子 $C20$ の容量値を、容量素子 $C3$ の容量値よりも十分に大きくすることにより、確実にかつ高速で、ノード $ND3$ を出力ノード $OD1$ の電圧レベルに従って変化させることができる。

【0133】

なお、チャージャポンプ動作開始初期時においては、出力ノード $OD1$ の電圧が、 $-V_{CC}$ と $-2 \cdot V_{CC}$ の間で変化する状態になってから、最終出力ノード $FOD1$ の電圧が、 $-2 \cdot V_{CC}$ にまで低下する。この過渡時の電圧駆動段 40 の動作は実施の形態 1 において説明した電圧発生回路の動作と同様である。

【0134】

この電圧駆動段 40 は、前段の $-V_{CC}$ 発生回路の負電圧 $-V_{CC}$ を発生する回路の出力段（電荷転送段）と同様の構成を有している。したがって、無効電流を生じさせることなく、効率的に深い負電圧 $-2 \cdot V_{CC}$ を発生させることができる。

【0135】

以上のように、この発明の実施の形態 4 に従えば、浅い負電圧 $-V_{CC}$ を発生する回路の出力段に、さらに、出力ノードのチャージャポンプ容量を接続し、かつ $-V_{CC}$ 発生回路の出力段と同一構成の出力段（電荷転送段）を配置して電圧駆動段を構成しており、効率的に電荷を利用して、 $-2 \cdot V_{CC}$ の負電圧を低消費電力で発生することができる。

【0136】

〔実施の形態 5〕

図 10 (A) は、この発明の実施の形態 5 に従う電圧発生回路の構成を概略的に示す図である。この図 10 (A) に示す電圧発生回路は、ノード $ND2$ と出力ノード FOD の間に縦続接続される電荷転送段 $XFN1$ から $XFNn$ を含む。

【0137】

ノード $ND1$ および $ND2$ には、それぞれ接地ノードとの間に、P チャネル M

OSトランジスタPQ1およびPQ2が交差結合の態様で接続される。ノードND1は、容量素子C1を介してプリチャージ用制御信号 ϕP を受け、ノードND2は、容量素子C2を介して、電荷生成用の制御信号 ϕCP を受ける。このMOSトランジスタPQ1およびPQ2と容量素子C1およびC2の構成は、先の図1および図8に示す構成と同じであり、制御信号 ϕP および ϕCP に従ってノードND1およびND2を、接地電圧GNDと負電圧 $-VCC$ の間で変化させる。

【0138】

電荷転送段XFN1からXFN $n-1$ の出力ノードOD1からOD $n-1$ には、容量素子CK1からCK $n-1$ がそれぞれ接続される。奇数段の電荷転送段XFN1の出力ノードOD1、…OD $n-1$ に設けられた容量素子CQ1、…CQ $n-1$ は、制御信号入力ノードS1を介して制御信号 ϕP を受ける。偶数段の電荷転送段XFN2…の出力ノードOD2に設けられた容量素子CQ2、…へは、制御信号入力ノードS2を介して制御信号 ϕCP が与えられる。電荷転送段XFN1からXFN n へは、制御信号 ϕCT および ϕCTF が交互に与えられる。この電荷転送段とその入力ノード（前段の電荷転送段の出力ノード）に設けられる容量素子とが、電圧駆動段を構成する。

【0139】

最終出力ノードFODには安定化容量素子C4が接続される。この安定化容量C4は、最終出力ノードFODの電圧が安定であれば、特に設ける必要はない。

【0140】

図10(B)は、電荷転送段XFN1からXFN n の構成を示す図である。これらの電荷転送段XFN1からXFN n は、同一構成を維持し、図10(B)においては、1つの電荷転送段XFNにより、これらの電荷転送段XFN1からXFN n を総称的に示す。

【0141】

電荷転送段XFNは、入力ノードNDIと出力ノードNDOの間に接続されるNチャネルMOSトランジスタNQaと、出力ノードNDOと内部ノードNDAの間に接続されかつそのゲートが入力ノードNDIに接続されるNチャネルMOSトランジスタNQbと、制御信号入力ノードSaと内部ノードNDAの間に接

続される容量素子 C_a を含む。

【0142】

この電荷転送段 XFN は、図 8 に示す電圧駆動段 40 の容量素子 C_{20} を除く構成と等価である。制御信号入力ノード S_a に、電荷転送制御用の制御信号 ϕ_{CT} または ϕ_{CTF} が与えられる。これらの電荷転送段 XFN_1 から XFN_n において、その入力ノード NDI のプリチャージおよび電荷転送を交互に行なうことにより、電荷転送段 XFN_1 から XFN_n にそれぞれ $-V_{CC}$ の電圧降下を生じさせることができ、最終出力ノード FOD には、 $-n \cdot V_{CC}$ の電圧を発生させることができる。

【0143】

図 11 は、図 10 (A) および (B) に示す電圧発生回路の動作を示すタイミング図である。図 11 においては、電荷転送段 XFN_{i-1} 、 XFN_i および XFN_{i+1} の出力ノードおよび内部ノードの信号波形を示す。電荷転送段 XFN_{i-1} の容量素子 C_a には、制御信号 ϕ_{CTF} が与えられ、電荷転送段 XFN_i の容量素子 C_a には、制御信号 ϕ_{CT} が与えられ、電荷転送段 XFN_{i+1} の容量素子 C_a には、制御信号 ϕ_{CTF} が与えられる。次に、図 11 を参照して、この図 10 (A) および (B) に示す電圧発生回路の動作について説明する。

【0144】

制御信号 ϕ_P が接地電圧 GND から電源電圧 V_{CC} に上昇すると、電荷転送段 XFN_{i-1} の入力ノード NDI_{i-1} が、対応の容量素子 CK_{i-2} のチャージャポンプ動作により、その電圧レベルが上昇する。この場合、負電圧 $-(i-1)V_{CC}$ から負電圧 $-(i-2) \cdot V_{CC}$ に変化する。内部ノード NDA_{i-1} は、この状態では、電圧 $-(i-1) \cdot V_{CC}$ であり、電荷転送段 XFN_{i-1} において、MOS トランジスタ NQ_a は、非導通状態を維持する。

【0145】

同様、電荷転送段 XFN_{i+1} においても、入力ノード NDI_{i+1} に対して、制御信号 ϕ_P に従ってチャージャポンプ動作が行なわれ、その電圧レベルが、 $-(i+1) \cdot V_{CC}$ から $-i \cdot V_{CC}$ に変化する。この電荷転送段 XFN_{i+1} の入力ノード NDI_{i+1} は、電荷転送段 XFN_i の出力ノード OD_i に対応

する。この場合、電荷転送段 XFN_i においては、MOS トランジスタ NQ_b が導通状態にあるため、ノード NDI_i が、電圧 $-(i+1) \cdot VCC$ から $-i \cdot VCC$ に変化する。この状態においても、電荷転送段 XFN_i においては、MOS トランジスタ NQ_a は、ゲートの電位がそのソースよりも低いため、非導通状態を維持する。

【0146】

制御信号 ϕCP が電源電圧 VCC から接地電圧 GND レベルに低下すると、電荷転送段 XFN_i において、容量素子 CK_i のチャージポンプ動作により、入力ノード NDI_i が電圧 $-(i-1) \cdot VCC$ から $-i \cdot VCC$ に変化する。このとき、電荷転送段 XFN_{i-1} において、ノード NDI_{i-1} が電圧 $-(i-2) \cdot VCC$ レベルであり、MOS トランジスタ NQ_b が導通状態にあり、電荷転送段 XFN_{i-1} において、ノード NDA_{i-1} の電圧レベルが、電圧 $-(i-1) \cdot VCC$ から電圧 $-i \cdot VCC$ に変化する。

【0147】

次に、所定期間経過後、制御信号 ϕCT が電源電圧 VCC レベルに駆動され、転送段 XFN_i において内部ノード NDA_i が容量素子 Ca のチャージャポンプ動作により、電圧 $-(i+1) VCC$ から電圧 $-i \cdot VCC$ に上昇し、MOS トランジスタ NQ_a が導通する。これにより、電荷転送段 XFN_i において、MOS トランジスタ NQ_a を介しての電荷の駆動が行なわれる。この状態で、ノード ND_{i+1} は、電圧 $-i \cdot VCC$ レベルであり、電荷転送段 XFN_i の入力ノード NDI_i の電圧レベルと、電荷転送段 XFN_{i+1} の入力ノード NDI_{i+1} の電圧レベルが等しくされる。

【0148】

この制御信号 ϕCT が再び接地電圧レベルに低下すると、電荷転送段 XFN_i において内部ノード NDA_i が、電源電圧 VCC だけ低下し、その電圧レベルは $-i \cdot VCC$ となり、電荷転送段 XFN_i において、MOS トランジスタ NQ_a が非導通状態となる。

【0149】

次いで、制御信号 ϕCP が接地電圧 GND レベルから電源電圧 VCC レベルに

上昇し、電荷転送段 XFN_i の入力ノード NDI_i の電圧レベルが上昇し、応じて電荷転送段 XFN_{i-1} の内部ノード NDA_{i-1} も、ノード NDI_i の電圧レベルに応じて、MOS トランジスタ NQ_b を介して上昇し、電圧 $-(i-1) \cdot VCC$ レベルに設定される。

【0150】

この制御信号 ϕCP に従って、同様、電荷転送段 XFN_{i+1} においても内部ノード NDA_{i+1} の電圧レベルが低下し、その出力ノード OD_{i+1} の電圧レベルが低下したときに、確実に対応の MOS トランジスタ NQ_a を非導通状態に設定する。

【0151】

制御信号 ϕP が、所定時間経過後に電源電圧 VCC から接地電圧レベル GND レベルに低下すると、電荷転送段 XFN_{i+1} において、その入力ノード NDI_{i+1} に対して容量素子のチャージャポンプ動作が行なわれ、その電圧レベルが $-i \cdot VCC$ から $-(i+1) \cdot VCC$ に低下する。この電圧低下が、電荷転送段 XFN_i の内部ノード NDA_i へ、MOS トランジスタ NQ_b を介して伝達され、その MOS トランジスタ NQ_b が、確実に非導通状態に設定される。

【0152】

次いで、さらに所定時間経過後に、制御信号 ϕCTF が所定期間電源電圧 VCC となり、電荷転送段 XFN_{i-1} および XFN_{i+1} において、内部ノード NDA_{i-1} および NDA_{i+1} の電圧レベルが電圧 VCC だけ上昇し、対応の MOS トランジスタ NQ_a が導通し、電荷の転送が行なわれる。

【0153】

このとき、電荷転送段 XFN_i においては、内部ノード NDA_i の電圧レベルは電荷転送段 XFN_{i+1} の入力ノード NDI_{i+1} 、すなわち電荷転送段 XFN_i の出力ノード OD_i の電圧レベルと等しいため、MOS トランジスタ NQ_a は非導通状態を維持し、この電荷転送段 XFN_i における電流の逆流は防止される。

【0154】

したがって、この電荷転送段 XFN_1 から XFN_n を縦続接続し、その入力ノ

ードのプリチャージと内部ノードのチャージャをこれらの電荷転送段において位相制御された制御信号に基づいて交互に行なうことにより、確実に、電流の逆流を防止して、電圧 V_{CC} ずつ発生電圧を低下させることができる。電荷転送段 $XFN1$ から $XFNn$ と n 設けられている場合、出力ノード FOD には、電圧 $-n \cdot V_{CC}$ が生成される。これにより、所望の電圧レベルの負電圧を発生することができ、低電源電圧下においても、必要な電圧レベルを低消費電力で安定に発生することができる。

【0155】

図12は、図10(A)および(B)に示す電圧発生回路に用いられる制御信号を発生する回路の構成を概略的に示す図である。この図12に示す制御信号発生回路は、図6に示す制御信号発生回路の構成に加えて、さらに、遅延回路30dの出力信号 $\phi 4$ とインバータ32bの出力信号を受けて制御信号 ϕCTF を生成するAND回路45が設けられる。この図12に示す制御信号発生回路の他の構成は、図6に示す制御信号発生回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0156】

この図12に示す制御信号発生回路の構成においては、AND回路45は、遅延回路30dの出力信号 $\phi 4$ がHレベルにあり、かつインバータ32bの出力信号がHレベルのときに、制御信号 ϕCTF がHレベルとなる。したがって、図13に示すように、遅延回路30cの出力信号 $\phi 3$ がLレベルでありかつ遅延回路30dの出力信号 $\phi 4$ がHレベルのときに、制御信号 ϕCTF がHレベルとなる。他の制御信号 ϕP 、 ϕCP および ϕCT は、図6に示す回路と同じ部分から出力されており、同じタイミング関係を有する。

この図12に示す制御回路を利用することにより、正確に、各電荷転送段において入力ノードに負電荷が供給され、電荷転送の準備ができたときに、電荷転送用の制御信号を与えて、電荷を出力ノードに転送することができ、また電流の逆流も防止することができる。

【0157】

以上のように、この発明の実施の形態5に従えば、電荷転送段を複数段縦続接

続し、各電荷転送段に対して電荷転送および入力ノードのプリチャージを交互に実行しており、深い負電圧を低消費電流で生成することができる。

【0158】

[実施の形態6]

図14は、この発明の実施の形態6に従う電圧発生回路の構成を示す図である。この図14に示す電圧発生回路は、図3に示す電圧発生回路の構成に加えて、さらに、出力ノードOD11の電荷を最終出力ノードFODへ、制御信号 ϕPZ および $\phi CTFZ$ に従って伝達する電圧駆動段50を備える。

【0159】

この電圧駆動段50は、内部出力ノードOD11に対し、制御信号 ϕPZ に従ってチャージャポンプ動作を行なう容量素子CCと、この容量素子CCの充電電荷を、制御信号 $\phi CTFZ$ に従って最終出力ノードFODへ伝達する電荷転送段XFPを含む。

【0160】

電荷転送段XFPは、内部出力ノードOD11と最終出力ノードFODの間に接続されかつそのゲートが内部ノードNDBに接続されるPチャネルMOSトランジスタPQaと、内部ノードNDBと最終出力ノードFODの間に接続されかつそのゲートが内部出力ノードOD11に接続されるPチャネルMOSトランジスタPQbと、制御信号 $\phi CTFZ$ を受ける制御信号入力ノードS52と内部ノードNDBの間に接続される容量素子Cbを含む。この電荷転送段XFPの入力ノードPDIが、内部出力ノードOD11に接続され、その出力ノードPDOが最終出力ノードFODに接続される。

【0161】

この図14に示す電圧発生回路の出力ノードOD11前段の電圧 $2 \cdot VCC$ を発生する回路は、電圧昇圧用の電荷を発生する部分と、この昇圧用の電荷を転送する部分とで構成され、これらの電荷発生部および電荷転送部の構成は、図3に示す回路と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0162】

図15は、図14に示す電圧発生回路の安定状態時の動作を示す信号波形図である。以下、図15を参照して、この図14に示す電圧発生回路の安定状態時の動作について説明する。

【0163】

この図14に示す電圧発生回路は、図8に示す電圧発生回路のトランジスタの導電型および制御信号の極性および電圧極性を変更したものと同一である。基本的に、この図14に示す電圧発生回路において、ノードND12の電荷のチャージャポンプ動作は、図3に示す回路と同じであり、制御信号 ϕ_{CPZ} に従って容量素子C12により、ノードND12が、電源電圧VCCと高電圧 $2 \cdot VCC$ の間で変化する。内部出力ノードOD11は、容量素子CCのチャージャポンプ動作により、制御信号 ϕ_{PZ} に従ってその電圧レベルが変化する。したがって、内部出力ノードOD11は、電圧 $2 \cdot VCC$ と電圧 $3 \cdot VCC$ の間で変化する。この内部出力ノードOD11の電圧レベルが $3 \cdot VCC$ まで変化するため、内部ノードND13の電圧レベルも、電源電圧VCC、高電圧 $2 \cdot VCC$ および $3 \cdot VCC$ の間で変化する。

【0164】

時刻 t_{11} において、制御信号 ϕ_{PZ} が電源電圧VCCから接地電圧GNDに低下すると、出力ノードOD11は、容量素子CCのチャージャポンプ動作により、電圧 $2 \cdot VCC$ レベルに設定される。このとき、ノードND12は、電源電圧VCCレベルであり、MOSトランジスタPQ12が導通状態にあるため、ノードND13の電圧レベルも、内部出力ノードOD11と同様、電圧 $2 \cdot VCC$ レベルとなる。応じて、MOSトランジスタPQ1は、ゲートおよびソースが同電位となり、非導通状態となる。

【0165】

時刻 t_{12} において、制御信号 ϕ_{CPZ} が電源電圧VCCレベルに上昇すると、ノードND12の電圧レベルが、高電圧 $2 \cdot VCC$ レベルとなる。応じて、MOSトランジスタPQ12が非導通状態となる。このとき、また、MOSトランジスタPQ11も、ゲート、ドレインおよびソースがすべて同じ電圧レベルであり、非導通状態を維持する。

【0166】

電圧駆動段 50 においては、制御信号 $\phi CTFZ$ の電圧レベルは電源電圧 VCC レベルであり、ノード NDB は、 $3 \cdot VCC$ レベルであり、MOS トランジスタ PQa は非導通状態にある。MOS トランジスタ PQb は、内部出力ノード $OD11$ が電圧 $2 \cdot VCC$ レベルであり、導通状態を維持するものの、ノード NDB および最終出力ノード FOD が同一電圧レベルであり、MOS トランジスタ PQa を介しては電流は流れない。

【0167】

時刻 $t13$ において、制御信号 ϕCTZ が、電源電圧 VCC から接地電圧 GND レベルに低下すると、ノード $ND13$ の電圧レベルが、電圧 $2 \cdot VCC$ から電源電圧 VCC レベルに低下する。応じて、MOS トランジスタ $PQ11$ が導通し、内部出力ノード $OD11$ と内部ノード $ND12$ 間で電荷が転送される。この電荷転送動作は、内部ノード $ND12$ と出力ノード $OD11$ の電圧レベルが等しくなると完了する。

【0168】

また、電荷転送時においては、MOS トランジスタ $PQ12$ は、ゲートおよびソースが同一電圧レベルに設定されるため非導通状態を維持する。また、この電荷転送時においては、ノード NDB の電圧レベルは $3 \cdot VCC$ であり、内部出力ノード $OD11$ の電圧が $2 \cdot VCC$ であり、電荷転送用の P チャネル MOS トランジスタ PQa は、非導通状態を維持する。

【0169】

時刻 $t14$ においては制御信号 ϕCPZ が、接地電圧から電源電圧 VCC レベルに上昇し、応じてノード $ND13$ の電圧レベルが、電源電圧 VCC から高電圧 $2 \cdot VCC$ レベルに上昇し、MOS トランジスタ $PQ11$ が非導通状態となる。このとき、MOS トランジスタ $PQ12$ は、ノード $ND12$ の電圧レベルが $2 \cdot VCC$ であり、そのしきい値電圧により、非導通状態を維持する。

【0170】

時刻 $t15$ において制御信号 ϕCPZ が電源電圧 VCC から接地電圧 GND に低下すると、ノード $ND12$ の電圧レベルが、高電圧 $2 \cdot VCC$ から電源電圧 V

CCレベルに容量素子C12のチャージャポンプ動作により低下する。ノードND12の電圧レベルが、電源電圧VCCレベルに低下して、PチャネルMOSトランジスタPQ12が導通すると、ノードND13および内部出力ノードOD11は電氣的に接続されても、その電圧レベルが等しく $2 \cdot VCC$ レベルであり、安定状態時には電流は流れない。MOSトランジスタPQ11は、ゲートおよびソースが同一電位となり、非導通状態に維持される。

【0171】

時刻t16において制御信号 ϕPZ を接地電圧GNDから電源電圧VCCレベルに上昇させ、ノードND11を電源電圧VCCレベルに上昇させてノードND12を電源電圧VCCレベルに確実にプリチャージする。

【0172】

制御信号 ϕPZ の上昇により、容量素子CCがチャージャポンプ動作を行ない、出力ノードOD11を電圧 $2 \cdot VCC$ から電圧 $3 - VCC$ レベルに上昇させる。この出力ノードOD11の電圧レベルが $3 - VCC$ レベルに上昇すると、ノードND12の電圧レベルは、電源電圧VCCレベルであり、MOSトランジスタPQ12が導通し、ノードND13も、電圧 $3 - VCC$ レベルに上昇し、MOSトランジスタPQ11は非導通状態に維持される。

【0173】

時刻t17において制御信号 $\phi CTFZ$ を電源電圧VCCレベルから接地電圧GNDレベルに低下させると、容量素子Cbのチャージャポンプ動作により、ノードNDbの電圧レベルが電圧 $3 - VCC$ から電圧 $2 \cdot VCC$ レベルに低下し、MOSトランジスタPQaが導通し、出力ノードOD11から最終出力ノードFODへ電荷が転送され、この最終出力ノードFODの電圧レベルが、確実に $3 - VCC$ レベルに維持される。この電荷転送動作時において、ノードNDBは、電圧 $2 \cdot VCC$ レベルであり、また、出力ノードOD11および最終出力ノードFODは同一電圧レベルであり、ノードNDBよりも電圧レベルが高いため、MOSトランジスタPQbは非導通状態を維持する。

【0174】

時刻t18において、制御信号 $\phi CTFZ$ を再び接地電圧GNDから電源電圧

VCCレベルに上昇させると、ノードNDBが容量素子Cbのチャージャポンプ動作によりその電圧レベルが上昇し、電圧 $3 \cdot VCC$ となり、MOSトランジスタPQaが非導通状態となる。

【0175】

時刻t19において制御信号 ϕPZ が電源電圧VCCから接地電圧GNDレベルに低下すると、出力ノードOD11の電圧レベルが低下し、 $2 \cdot VCC$ レベルとなる。このとき、MOSトランジスタPQ12は、導通状態にあるため、ノードND13の電圧レベルが $3 \cdot VCC$ から電圧 $2 \cdot VCC$ レベルに低下する。以降、この動作が繰返し実行される。

【0176】

したがって、電圧駆動段50を1段設け、内部ノードのプリチャージ動作期間中に、出力ノードをプリチャージして、電荷を転送することにより、この出力ノードの電圧を電圧VCCだけ高くすることができ、最終出力ノードFODに、 $3 \cdot VCC$ の電圧を発生することができる。

【0177】

なお、上述の説明においては、説明を簡単にするためにチャージャポンプ動作所期の過渡時の動作については説明していない。しかしながら、実施の形態4の負電圧 $-2 \cdot VCC$ を発生する回路の場合と同様の動作が行なわれ、エンハンスメント型トランジスタのしきい値電圧を利用して、無効電流の発生を防止して、最終出力電圧の電圧レベルを徐々に上昇させる。

【0178】

なお、最終出力ノードFODに設けられる安定化容量C4は、最終出力ノードFODの負荷変動が小さい場合には特に設ける必要がない。

【0179】

また、制御信号 ϕPZ 、 ϕCPZ 、 ϕCTZ および $\phi CTFZ$ は、図12に示す制御信号発生回路の出力信号を反転することにより生成することができる。

【0180】

したがって、実施の形態2と同様、これらの制御信号 ϕPZ 、 ϕCPZ 、 ϕCTZ および $\phi CTFZ$ は、接地電圧GNDと電源電圧VCCの間で変化すること

が要求されず、構成要素のMOSトランジスタのオン／オフ条件を満たす限り、所望の電圧の間で変化する信号に置き換えられてもよい。

【0181】

以上のように、この発明の実施の形態6に従えば、電圧 $2 \cdot VCC$ を発生する回路の出力ノードにチャージャポンプ用の容量素子を設け、さらに、1段の電荷転送段を配置し、その電荷転送段の電荷転送トランジスタPQaの導通／非導通を容量素子および出力ノード電位検出用のMOSトランジスタにより制御しており、不要な電荷の流れを生じさせることなく、効率的に電荷を使用して、高電圧 $3 \cdot VCC$ を発生することができる。

【0182】

[実施の形態7]

図16は、この発明の実施の形態7に従う電圧発生回路の構成を概略的に示す図である。図16においては、内部ノードND12と最終出力ノードFODの間に、電荷転送段XFP1からXFPnが縦続接続される。これらの電荷転送段XFP1からXFPnは、それぞれ、図14に示す電荷転送段電荷転送段XFPと同じ構成を有する。

【0183】

これらの電荷転送段XFP2からXFPnの入力ノードODP1からODPn-1それぞれに対応して、容量素子CC1からCCn-1が配置される。これらの容量素子CC1からCCn-1には、制御信号 ϕPZ および ϕCPZ が交互に与えられる。電荷転送段XFP1からXFPnそれぞれに対しても制御信号 ϕCTZ および $\phi CTFZ$ が交互に与えられる。したがって、奇数段の電荷転送段XFP1、XFP3、…に対しては、制御信号 ϕCTZ が与えられて電荷転送が行なわれ、偶数段の電荷転送段XFP2、…に対しては、制御信号 $\phi CTFZ$ が与えられて電荷転送が制御される。

【0184】

電荷転送段XFP1からXFPnが、それぞれ電源電圧VCCだけ、与えられた電圧を昇圧する。したがって、最終出力ノードFODには、電圧 $(n+1) \cdot VCC$ が生成される。

【0185】

このノードND12における電荷蓄積動作を制御するために、交差結合されるNチャネルMOSトランジスタNQ11およびNQ12と、ノードND11およびND12に、制御信号 ϕ_{PZ} および ϕ_{CPZ} に従ってそれぞれチャージャポンプ動作を行なう容量素子C11およびC12が設けられる。このノードND12に対するチャージャポンプ動作を実行する回路部分は、先の図3および図14に示す構成と同じである。したがって、ノードND12は、電圧VCCと高電圧2・VCCの間で電圧が変化する。

【0186】

図17は、図16に示す電圧発生回路の安定状態時の動作を示すタイミング図である。以下、図17を参照して、図16に示す電圧発生回路の安定時の動作を、図14を併せて参照して説明する。

【0187】

図17においては、電荷転送段XFPi-1、XFPi、XFPi+1の入力ノードおよび内部ノードの電圧波形を示す。電荷転送段XFPi-1およびXFPi+1には制御信号 ϕ_{CTF} が与えられ、電荷転送段XFPiには、制御信号 ϕ_{CT} が与えられる。各電荷転送段XFPjの入力ノードNDIjは、前段の電荷転送段XFPj-1の内部出力ノードODPj-1に接続される。図17においては、入力ノードNDIiおよびNDIi+1に対応する内部出力ノードODIi-1およびODIiを示す。以下の説明においては、図14を参照するため、各電荷転送段の入力ノードの電位について説明する。

【0188】

制御信号 ϕ_{PZ} が接地電圧GNDレベルに低下すると、電荷転送段XFPi-1の入力ノードNDIi-1は、電圧i・VCCから電圧(i-1)・VCCに低下する。同様、電荷転送段XFPi+1においても、その入力ノードNDIi+1の電圧が、電圧(i+2)・VCCから電圧(i+1)・VCCに低下する。これらの電荷転送段XFPi-1およびXFPi+1において、内部ノードNDBi-1およびNDBi+1の電圧レベルは、MOSトランジスタPQbが導通状態にあり、次段の電荷転送ゲートXFPiおよびXFPi+2の電圧レベル

に応じた電圧レベルに設定される。

【0189】

一方、電荷転送段XFP_iにおいては、次段の電荷転送段XFP_{i+1}の入力ノードNDI_{i+1}の電圧レベルが $(i+1) \cdot VCC$ に低下すると、MOSトランジスタPQ_dが導通状態にあるため、その電圧レベルは $(i+2) \cdot VCC$ から電圧 $(i+1) \cdot VCC$ に低下する。

【0190】

制御信号 ϕCPZ が、接地電圧GNDから電源電圧VCCレベルに上昇すると、電荷転送段XFP_iにおいて、その入力ノードNDI_iの電圧レベルが対応の容量素子CC_iのチャージャポンプ動作により、電圧 $i \cdot VCC$ から電圧 $(i+1) \cdot VCC$ に上昇する。このノードNDI_iの電圧上昇により、電荷転送段XFP_{i-1}におけるMOSトランジスタPQ_bが導通状態にあるため、ノードNDB_{i-1}の電圧レベルが $(i+1) \cdot VCC$ に上昇し、対応のMOSトランジスタPQ_aは非導通状態に維持される。

【0191】

同様、電荷転送段XFP_{i+1}においても、その内部ノードNDB_{i+1}の電圧レベルが、電圧 $(i+3) \cdot VCC$ に上昇し、対応のPチャネルMOSトランジスタPQ_aが非導通状態に維持される。

【0192】

制御信号 ϕCTZ が電源電圧VCCから接地電圧GNDに低下すると、電荷転送段XFP_iにおいて、内部ノードNDB_iが電圧 $i \cdot VCC$ となり、MOSトランジスタPQ_aが導通し、その内部ノードNDI_iの電圧 $(i+1) \cdot VCC$ が、次段の電荷転送段XFP_{i+1}の入力ノードNDI_{i+1}に伝達される。この電荷転送時、電荷転送段XFP_{i-1}およびXFP_{i+1}においては、MOSトランジスタPQ_aは非導通状態にあるため、電荷の逆流は防止される。

【0193】

制御信号 ϕCPZ が電源電圧VCCレベルに上昇すると、電荷転送段XFP_iにおいて内部ノードNDB_iの電圧レベルが、電圧 $i \cdot VCC$ から電圧 $(i+1) \cdot VCC$ に上昇し、対応のPチャネルMOSトランジスタPQ_aのゲート電位

がソース電位以上となり、このMOSトランジスタPQaが非導通状態となる。

【0194】

次いで、制御信号 ϕ_{PZ} が、接地電圧GNDから電源電圧VCCに上昇すると、電荷転送段XF Pi-1およびXF Pi+1それぞれにおいて、対応の容量素子CC i-1およびCC i+1によるチャージャポンプ動作により、それぞれの入力ノードの電圧レベルが電圧VCCだけ上昇する。すなわち、電荷転送段XF Pi-1の入力ノードNDI i-1の電圧レベルが $i \cdot VCC$ となり、一方、電荷転送段XF Pi+1の入力ノードNDI i+1の電圧レベルが、 $(i+2) \cdot VCC$ となる。

【0195】

この状態において、電荷転送段XF Piにおいて、MOSトランジスタPQbは、そのゲート電位がソース電位よりも低いため、導通状態となり、内部ノードNDB iが、電荷転送段XF Pi+1の入力ノードNDI i+1と同じ電圧 $(i+2) \cdot VCC$ レベルに上昇し、MOSトランジスタPQaが非導通状態に維持され、電荷の逆流は防止される。

【0196】

この状態で、制御信号 ϕ_{CTFZ} を電源電圧VCCから接地電圧GNDに立下げることにより、電荷転送段XF Pi-1およびXF Pi+1において内部ノードNDB i-1およびNDB i+1の電圧レベルが、電圧VCCだけ低下し、対応のMOSトランジスタPQaが導通し、入力ノードNDI i-1から出力ノードODPi-1 (NDI i) への電荷転送が行なわれる。同様、電荷転送段XF Pi+1においても、その入力ノードNDI i+1からその出力ノードに対する電荷供給が行なわれる。

【0197】

以降この動作を繰返すことにより、各電荷転送段XF P1-XF Pnにおいて交互にチャージャポンプ動作を行なって、電圧VCCの昇圧動作を行ない、最終出力ノードFODに電圧 $(n+1) \cdot VCC$ を生成することができる。

【0198】

なお、この高電圧発生回路においても、そのチャージャポンプ動作開始の初期時

においては、実施の形態 6 の場合と同様に、MOS トランジスタのしきい値電圧を利用して非導通状態の設定が行なわれ、無効電流の発生は防止しつつ、各ノードの電位が、徐々に上昇して最終の安定電圧レベルに到達する。。

【0199】

なお、この実施の形態 7 においても、制御信号 $\phi P Z$ 、 $\phi C P Z$ 、 $\phi C T Z$ および $\phi C T F Z$ のハイレベル電圧およびローレベル電圧は、互いに等しくなくてもよい。

【0200】

以上のように、この発明の実施の形態 7 に従えば、電荷転送段を複数段縦続接続し、各電荷転送段の入力ノードを容量素子を用いてチャージャポンプ動作を行なって、交互に電荷転送動作を行なわせており、低消費電流で所望のレベルの内部電圧を生成することができる。

【0201】

なお、制御信号 $\phi P Z$ 、 $\phi C P Z$ 、 $\phi C T Z$ および $\phi C T F Z$ は、図 12 に示す制御信号発生回路の出力信号を、すべて反転することにより生成することができる。

【0202】

【発明の効果】

以上のように、この発明に従えば、ゲートおよびドレインが交差結合されるトランジスタを配置し、これらのトランジスタそれぞれのゲート電位を容量素子のチャージャポンプ動作により制御して、内部電圧発生のための電荷を発生しており、トランジスタを正確に導通／非導通を個々に制御して内部電圧発生のための電荷を生成しており、無効電流が流れるのを抑制することができ、効率的に電荷を使用して、所望のレベルの内部電圧を低消費電力で生成することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 に従う電圧発生回路の構成を示す図である。

【図 2】 図 1 に示す電圧発生回路の動作を示す信号波形図である。

【図 3】 この発明の実施の形態 2 に従う電圧発生回路の構成を示す図であ

る。

【図 4】 図 3 に示す回路の動作を示す信号波形図である。

【図 5】 この発明の実施の形態 3 に従う内部電圧発生回路の構成を概略的に示す図である。

【図 6】 図 5 に示す制御信号発生回路の構成を概略的に示す図である。

【図 7】 図 6 に示す回路の動作を示すタイミング図である。

【図 8】 この発明の実施の形態 4 に従う電圧発生回路の構成を示す図である。

【図 9】 図 8 に示す回路の動作を示す信号波形図である。

【図 10】 (A) は、この発明の実施の形態 5 に従う電圧発生回路の構成を示し、(B) は、図 10 (A) に示す電荷転送段の構成を示す図である。

【図 11】 図 10 (A) および (B) に示す回路の動作を示す信号波形図である。

【図 12】 図 10 (A) に示す制御信号を発生する回路の構成を概略的に示す図である。

【図 13】 図 12 に示す回路の動作を示す信号波形図である。

【図 14】 この発明の実施の形態 6 に従う電圧発生回路の構成を示す図である。

【図 15】 図 14 に示す回路の動作を示す信号波形図である。

【図 16】 この発明の実施の形態 7 に従う電圧発生回路の構成を示す図である。

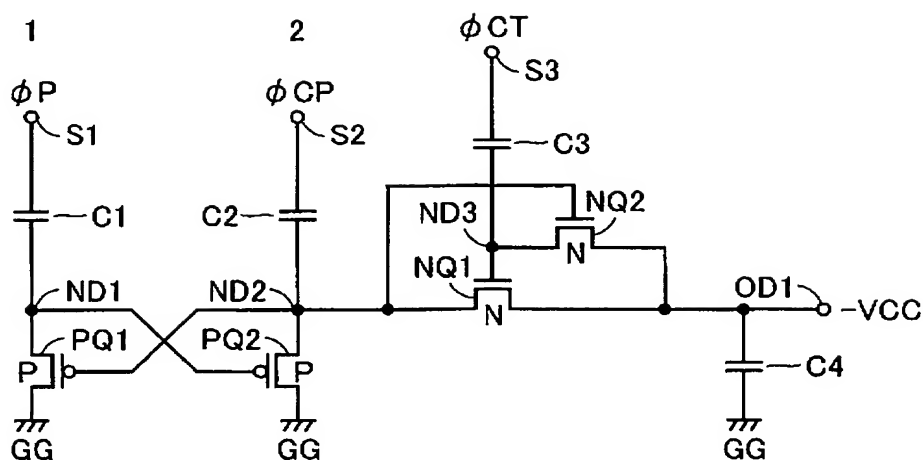
【図 17】 図 16 に示す回路の動作を示す信号波形図である。

【符号の説明】

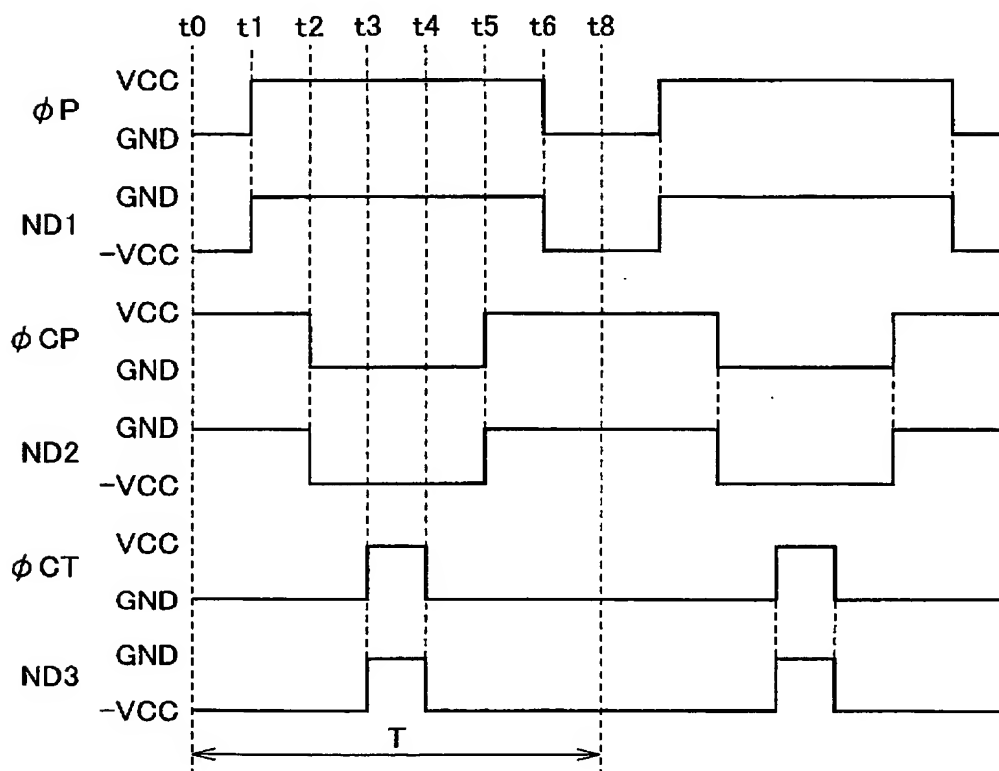
PQ1, PQ2, PQ11, PQ12, PQa, PQb PチャネルMOSトランジスタ、NQ1, NQ2, NQ11, NQ12, NQ31, NQ32, NQa, NQb NチャネルMOSトランジスタ、C1, C2, C11, C12, C13, C20, C21 容量素子、40 電圧駆動段、XFN, XF N1-XF Nn, XFP, XFP1-XFPn 電荷転送段、CK1-CKn-1, CC1-CCn-1 容量素子。

【書類名】 図面

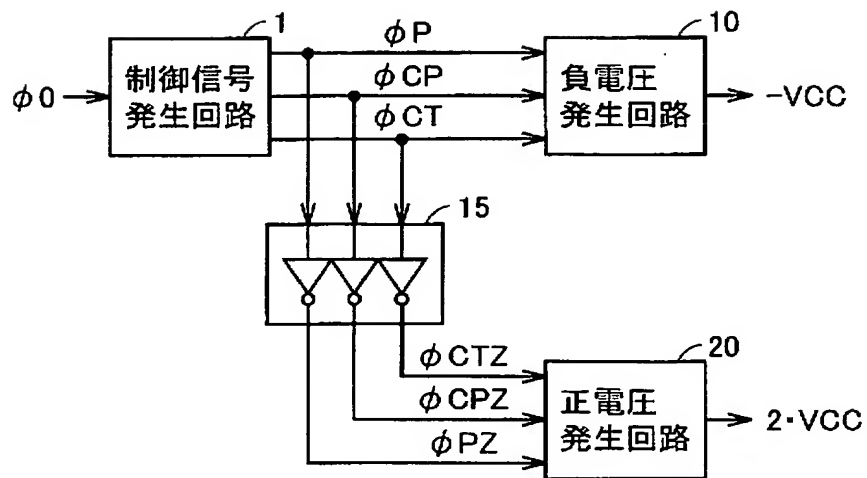
【図 1】



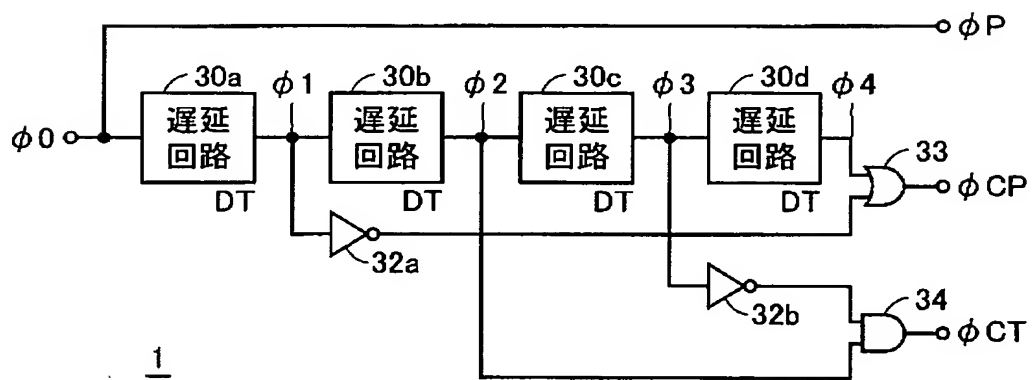
【図 2】



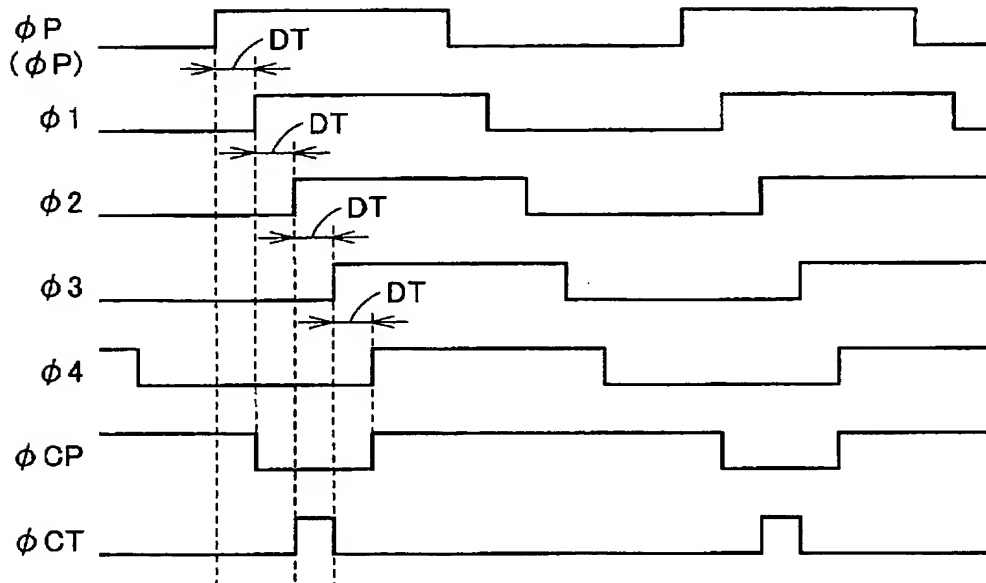
【図 5】



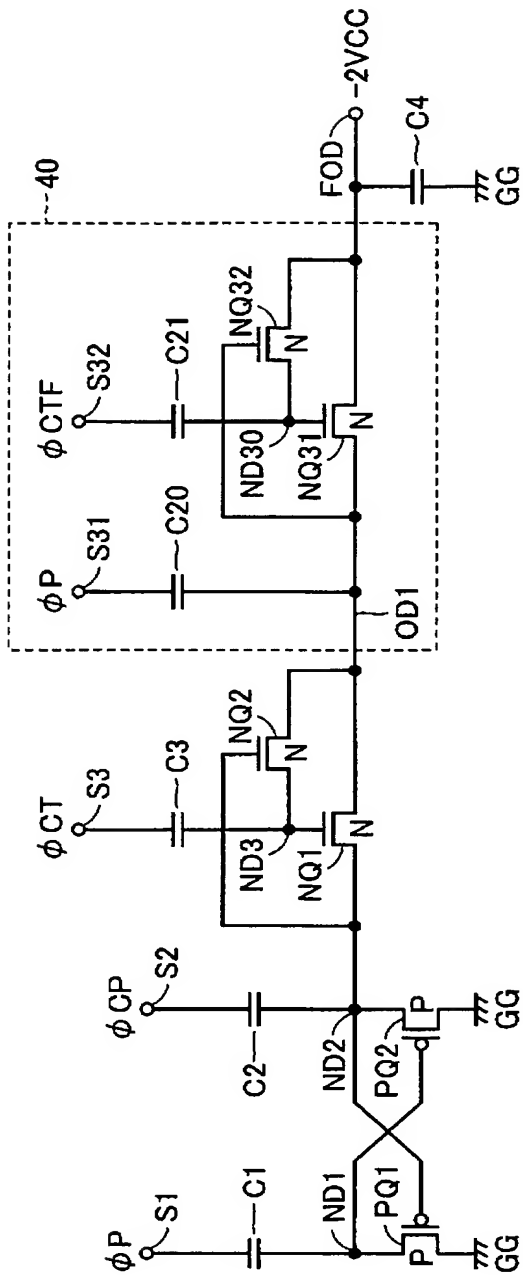
【図 6】



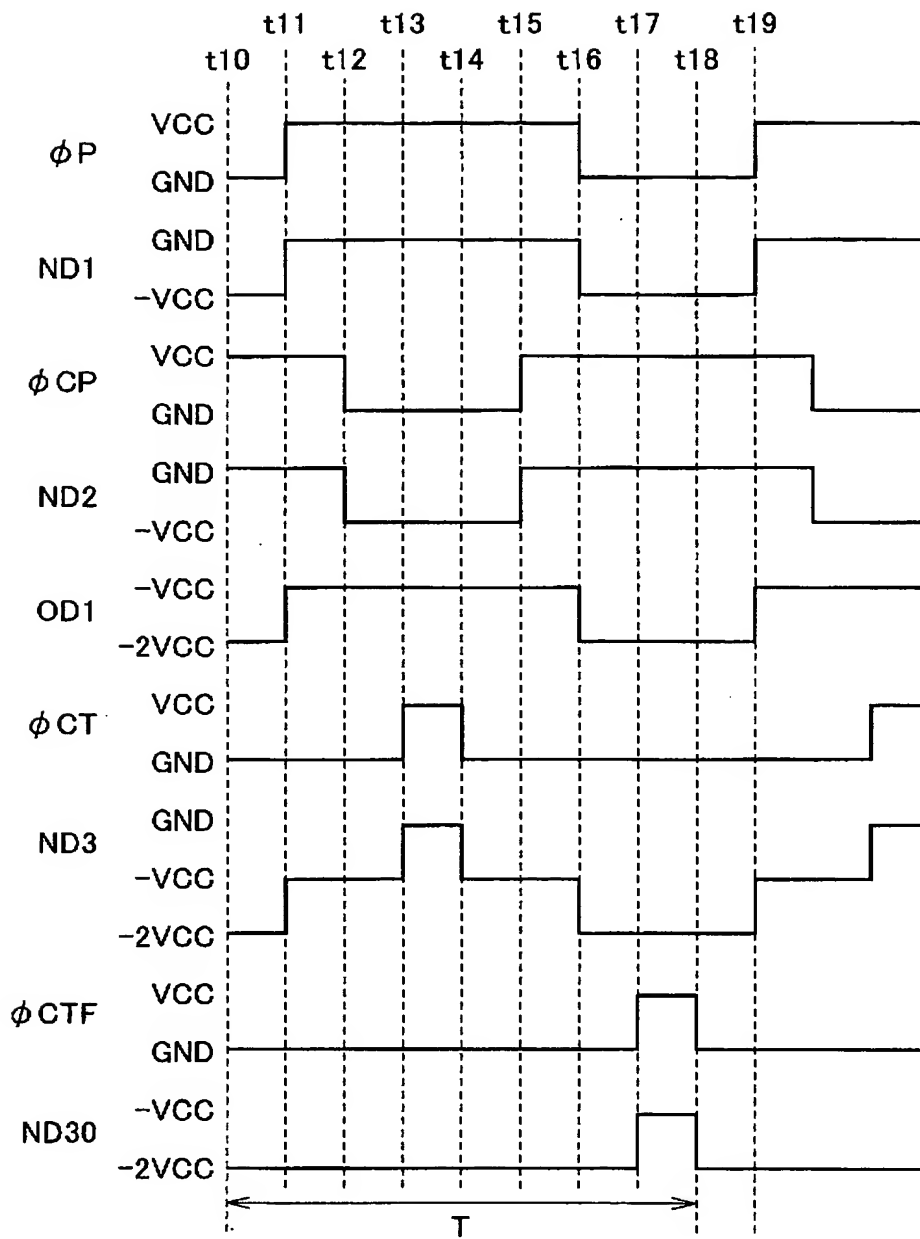
【図 7】



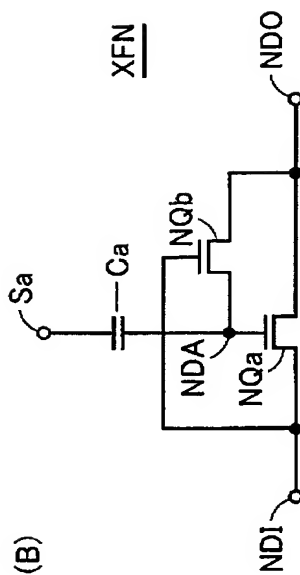
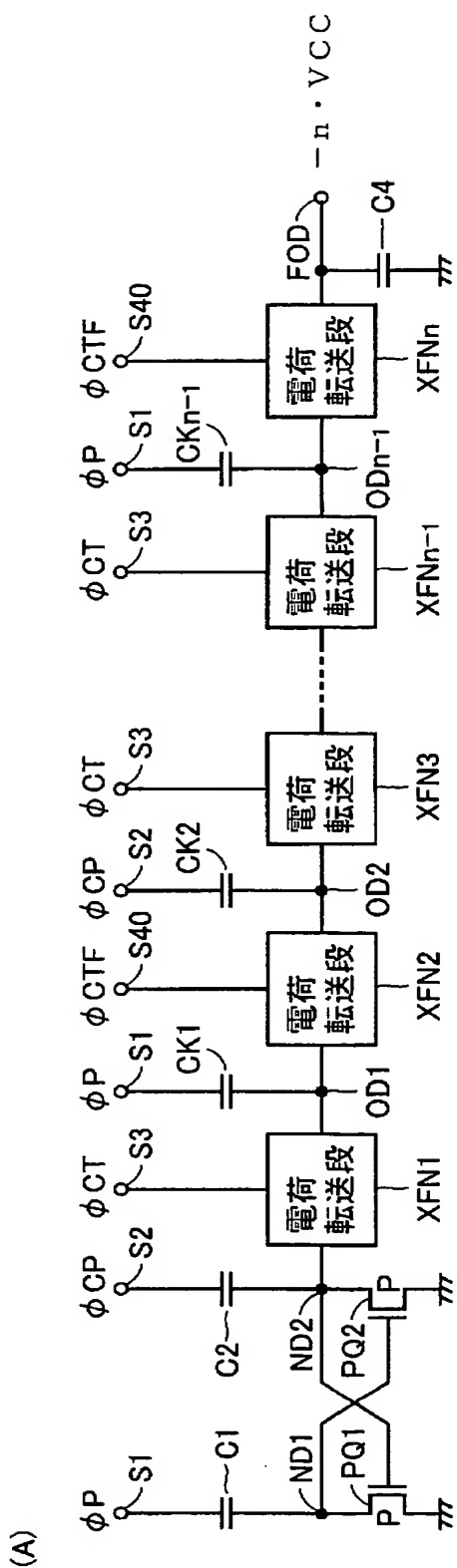
【図 8】



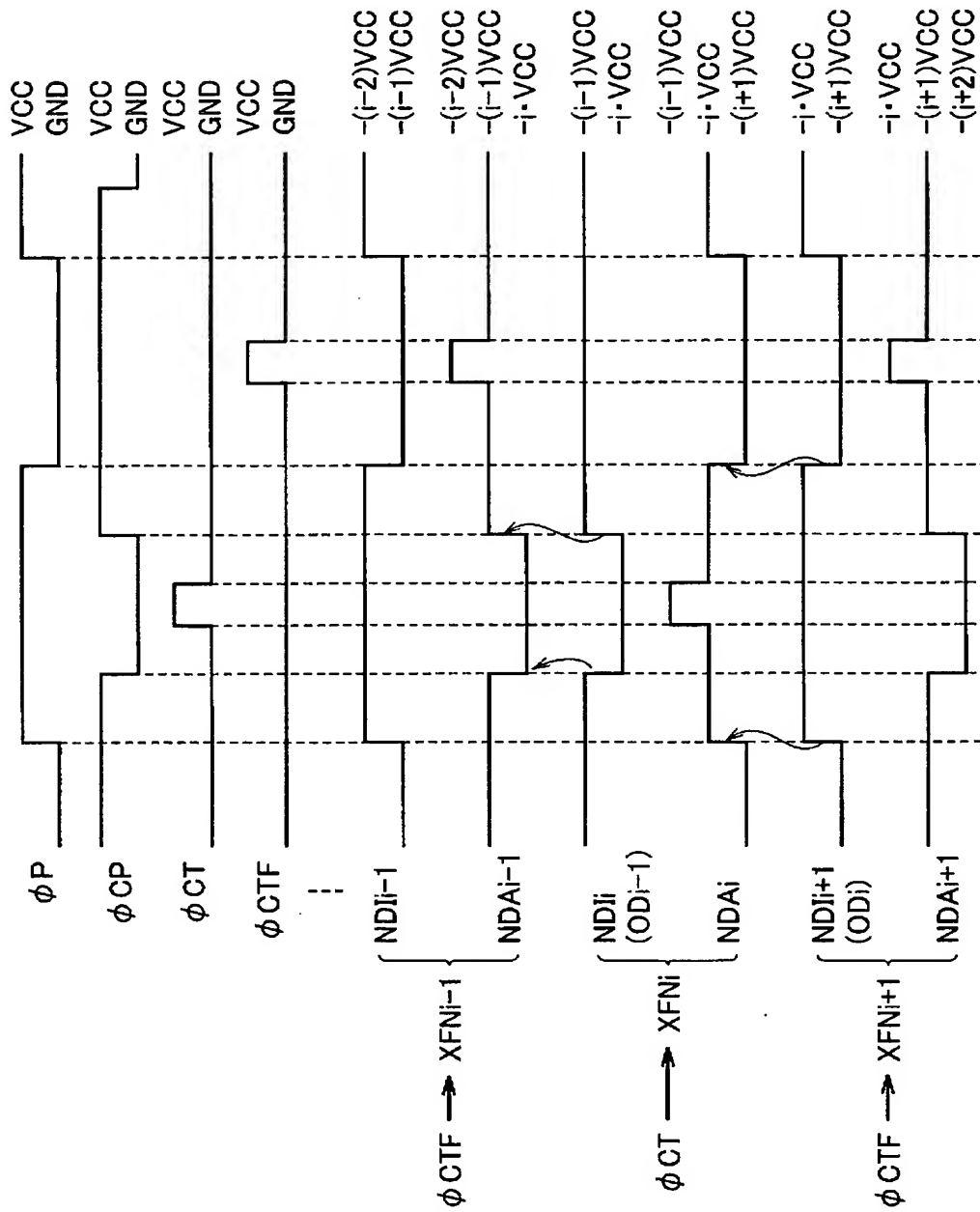
【図 9】



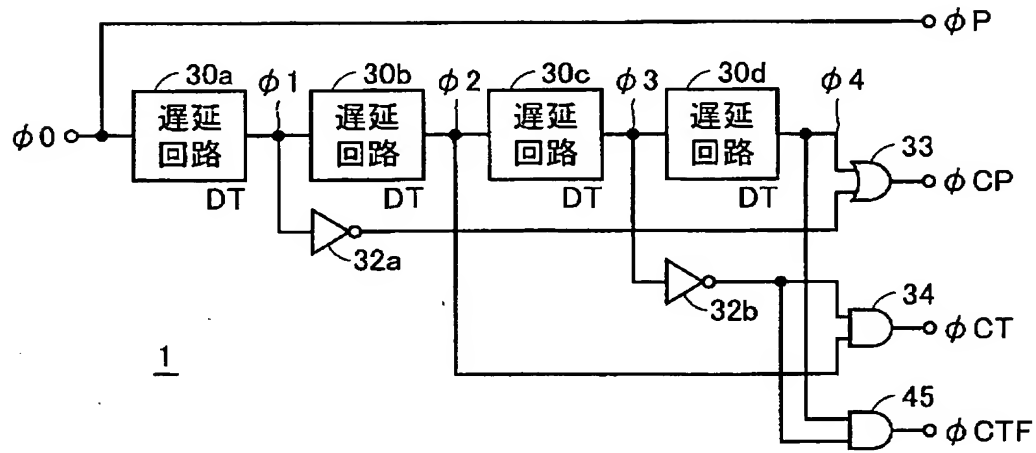
【図 10】



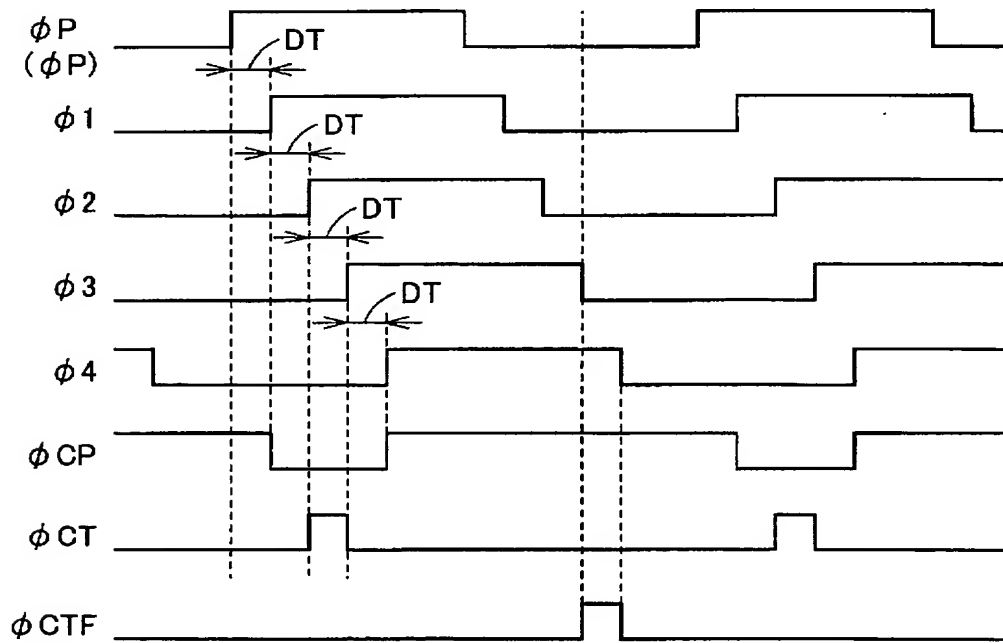
【図 11】



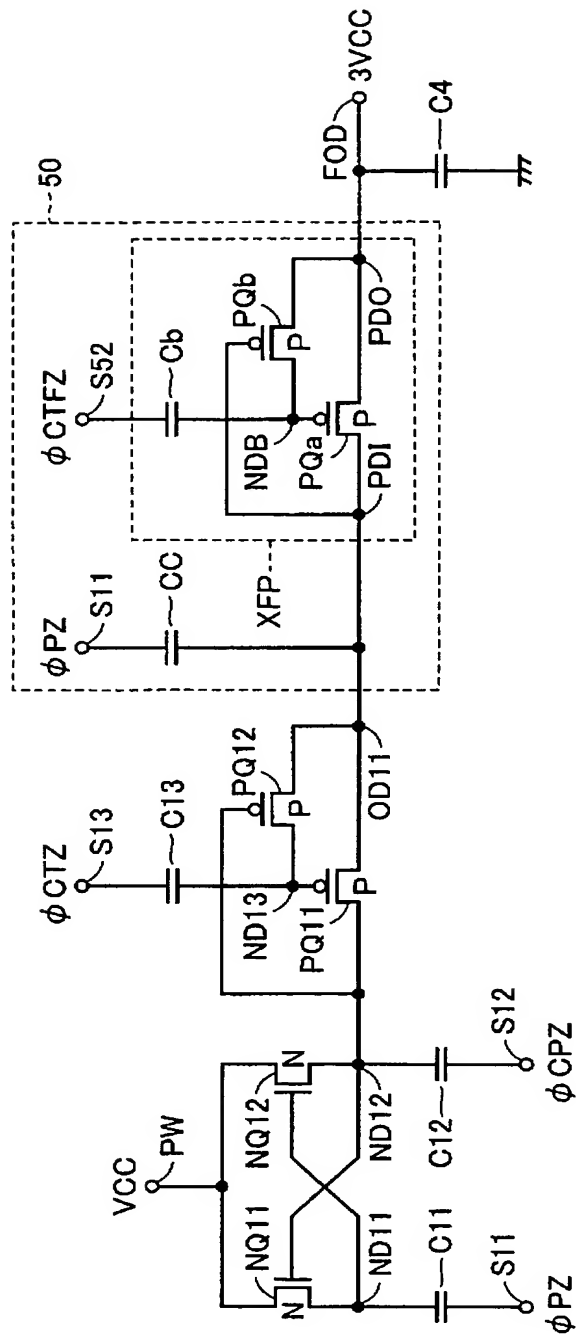
【図 12】



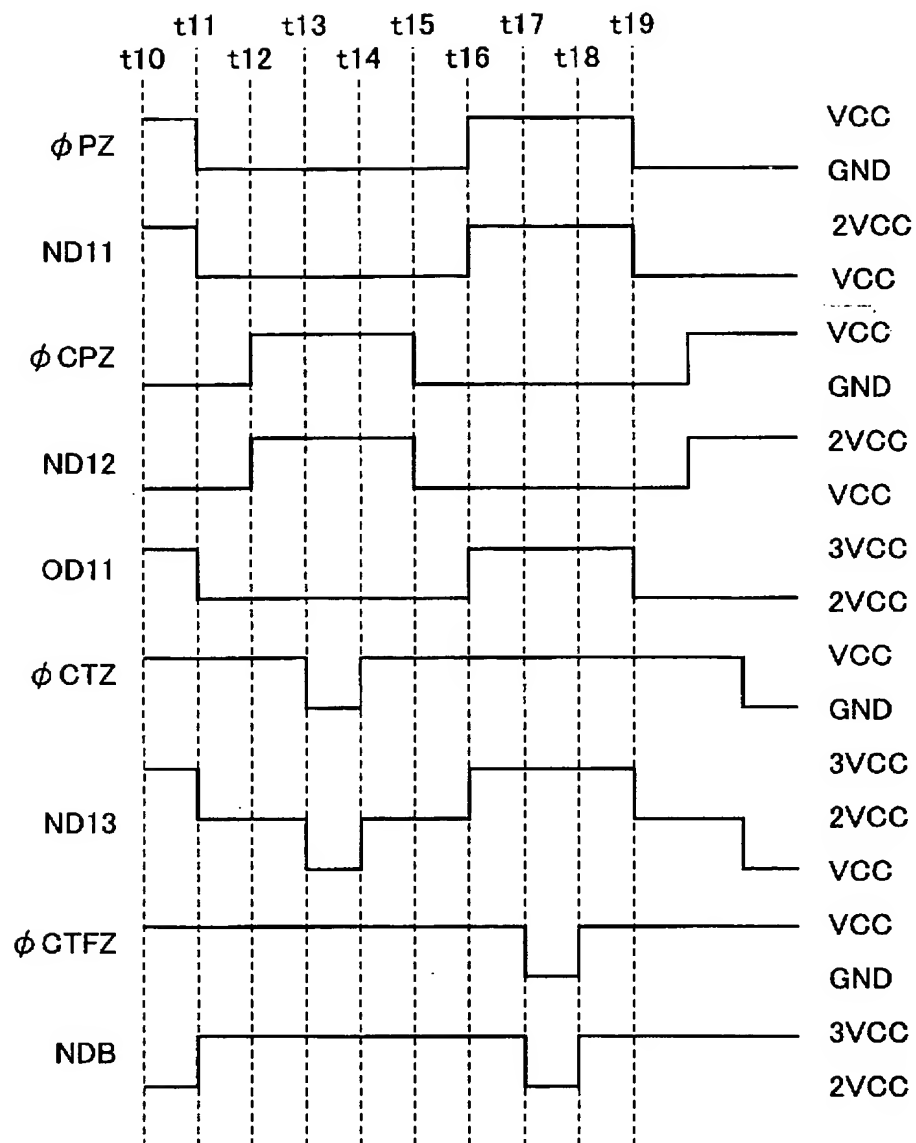
【図 13】



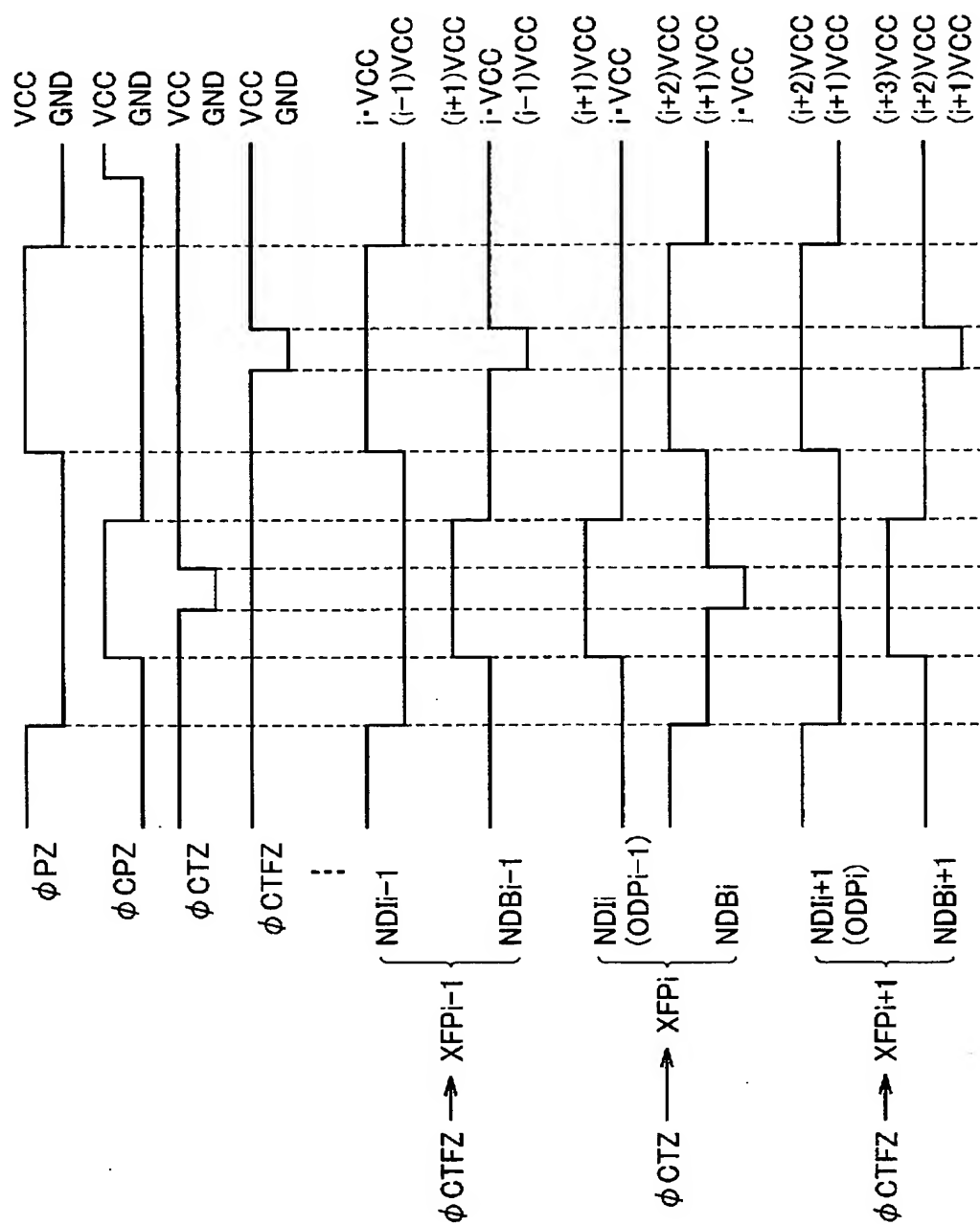
【図 14】



【図 15】



【図 17】



【書類名】 要約書

【要約】

【課題】 無効電流を生じさせることなく効率的に電荷を使用して低消費電力で所望のレベルの内部電圧を発生する。

【解決手段】 基準電圧ノード（GG）と第1のノード（ND1）の間に第1のトランジスタ（PQ1）を配置しそのゲートを第2のノード（ND2）に接続する。第2のノードと基準電圧ノードの間に第2のトランジスタ（PQ2）を配置し、そのゲートを第1のノードに接続する。第1および第2のノードへ、それぞれ第1および第2の制御信号（ ϕP , ϕCP ）を受ける容量素子（C1, C2）を介して電荷を供給する。さらに、第2のノードと出力ノードの間に第3のトランジスタ（NQ1）を配置し、そのゲートノード（ND3）を第3の容量素子（C3）を介して第3の制御信号 ϕCT に結合する。また、この出力ノードと第3のトランジスタのゲートノードの間に第4のトランジスタ（NQ2）を接続し、そのゲートを第2のノードに接続する。

【選択図】 図1

特願 2 0 0 3 - 1 4 0 0 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社